

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-035498
(43)Date of publication of application : 07.02.1997

(51)Int.Cl. G11C 29/00

(21)Application number : 08-120543 (71)Applicant : MITSUBISHI ELECTRIC CORP
(22)Date of filing : 15.05.1996 (72)Inventor : FURUYA KIYOHIRO

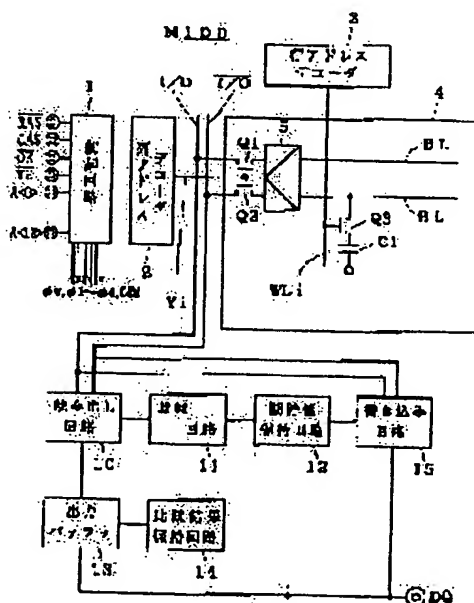
(30)Priority

Priority number : 07117074 Priority date : 16.05.1995 Priority country : JP

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To test a plurality of memories using a single tester having a data decision circuit by incorporating a read/write operation test mechanism for comparing an expected value data with a read out data and outputting the comparison results.
SOLUTION: A DRAM 100 comprises a read out circuit 10, a comparison circuit 11, an expected value circuit 12, an output buffer 13, a comparison results holding circuit 14, and a write circuit 15. The circuit 12 holds an expected value provided from a DQ pin connected with a tester having a single signal driver and a data decision circuit. The circuit 11 compares the data read out from the circuit 10 with an expected value held in the circuit 12 and outputs the comparison results to the DQ pin through the buffer 13 after holding in the circuit 14. This circuitry realizes a low cost test by connecting the DQ pins of a plurality of chips M 100 in parallel with a tester having a single data decision circuit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-35498

(43) 公開日 平成9年(1997)2月7日

(51) Int.Cl.
G11C 29/00

識別記号
303

庁内整理番号

F I
G11C 29/00

303B

技術表示箇所

審査請求 未請求 請求項の数13 OL (全33頁)

(21) 出願番号 特願平8-120543

(22) 出願日 平成8年(1996)5月15日

(31) 優先権主張番号 特願平7-117074

(32) 優先日 平7(1995)5月16日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 古谷 清広

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

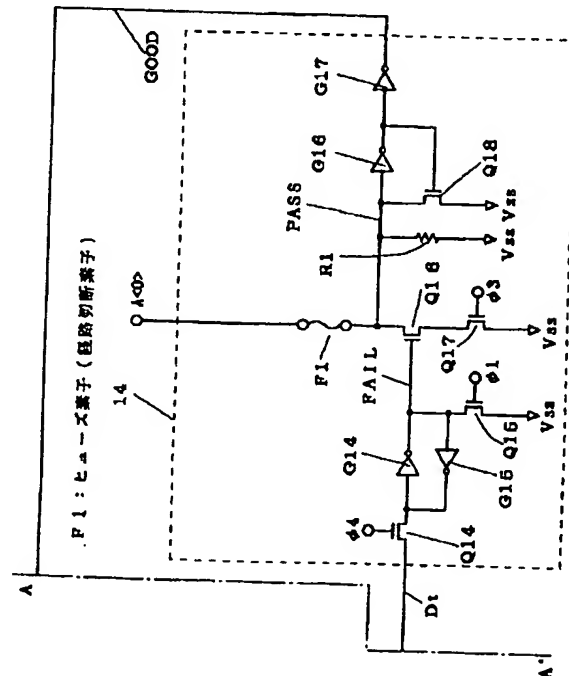
(74) 代理人 弁理士 吉田 茂明 (外2名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 複数の半導体記憶装置のテストを、単一のデータ判定回路を備えるテストを用いて行うことを可能とするために、テスト機構を内蔵した半導体記憶装置を提供する。

【解決手段】 N型MOSFET Q16のドレイン電極はヒューズ素子 F1 (経路切断素子) を介して電源電位 Vcc に接続され、ソース電極はN型MOSFET Q17のドレイン電極に接続され、N型MOSFET Q16のドレイン電極はインバータ G16の入力に接続されるとともに、接地電位 Vss との間に接続された抵抗素子 R1 に接続されている。



【特許請求の範囲】

【請求項1】 入出力線対を介してメモリセルアレイにデータの書き込み、読み出しを行う半導体記憶装置であって、

前記データの入力および出力を兼用するデータ入出力端子と、

前記データ入出力端子に接続され、前記入出力線対を介して前記メモリセルアレイにデータの書き込みを行う書き込み手段と、

前記入出力線対を介して前記メモリセルアレイからデータの読み出しを行う読み出し手段と、

前記データ入出力端子と前記読み出し手段との間に接続され、前記読み出し手段によって読み出された読み出しデータを前記データ入出力端子に出力する出力手段をさらに備え、

前記データ入出力端子に接続され、外部から与えられた期待値データを一時的に保持する期待値保持手段と、

前記期待値保持手段および前記読み出し手段に接続され、前記読み出し手段によって読み出された読み出しデータと、前記期待値データとの比較を行い比較結果を出力する比較手段と、

前記比較手段に接続され、前記比較結果を不揮発的に保持するとともに、前記比較結果を反映したテスト結果信号を出力する比較結果保持手段と、

前記期待値保持手段、前記比較結果保持手段、前記出力手段を制御する制御信号を出力する制御手段とを備え、前記比較結果保持手段から出力される前記テスト結果信号を用いて、書き込みおよび読み出しの動作の正誤を外部に示すことを特徴とする半導体記憶装置。

【請求項2】 前記出力手段は、前記データ入出力端子を介して外部から期待値データを入力する際に、前記制御手段からの出力制御信号を受けて高インピーダンス状態になるとともに、前記テスト結果信号を受け、前記読み出しデータと前記期待値データとが一致しない場合には、高インピーダンス状態になるバッファ回路を有し、前記制御手段は、前記データの出力タイミングを指示するOE信号を入力するOE信号入力端子を有し、前記OE信号に基づいた制御信号を前記比較結果保持手段に与え、前記比較結果を保持するタイミングを指示することを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 入出力線対を介してメモリセルアレイにデータの書き込み、読み出しを行う半導体記憶装置であって、

前記データの入力を行うデータ入力端子と、

前記データの出力を行うデータ出力端子と、

前記データ入力端子に接続され、前記入出力線対を介して前記メモリセルアレイにデータの書き込みを行う書き込み手段と、

前記入出力線対を介して前記メモリセルアレイからデータの読み出しを行う読み出し手段と、

2

前記読み出し手段と前記データ出力端子との間に接続され、前記読み出し手段によって読み出された読み出しデータを前記データ出力端子に出力する出力手段と、

前記データ入力端子および前記データ出力端子のどちらか一方に接続され、外部から与えられた期待値データを一時的に保持する期待値保持手段と、

前記期待値保持手段および前記読み出し手段に接続され、前記読み出し手段によって読み出された読み出しデータと、前記期待値データとの比較を行い比較結果を出力する比較手段と、

前記比較手段に接続され、前記比較結果を不揮発的に保持するとともに、前記比較結果を反映したテスト結果信号を出力する比較結果保持手段と、

前記期待値保持手段、前記比較結果保持手段、前記出力手段を制御する制御信号を出力する制御手段とを備え、前記比較結果保持手段から出力される前記テスト結果信号を用いて、書き込みおよび読み出しの動作の正誤を外部に示すことを特徴とする半導体記憶装置。

【請求項4】 前記期待値保持手段は前記データ入力端子に接続され、

前記制御手段は前記データ出力端子に接続され、前記出力手段は、前記データ出力端子を介して外部から前記データの出力タイミングを指示する信号を前記制御手段に入力する際に、前記制御手段からの出力制御信号を受けて高インピーダンス状態になるとともに、前記テスト結果信号を受け、前記読み出しデータと前記期待値データとが一致しない場合には、高インピーダンス状態になるバッファ回路を有し、

前記制御手段は前記データの出力タイミングを指示する信号に基づいた制御信号を前記比較結果保持手段に与え、前記比較結果を保持するタイミングを指示することを特徴とする請求項3記載の半導体記憶装置。

【請求項5】 前記期待値保持手段は前記データ出力端子に接続され、

前記制御手段は前記データ入力端子に接続され、前記出力手段は、前記データ出力端子を介して外部から期待値データを入力する際に、前記制御手段からの出力制御信号を受けて高インピーダンス状態になるとともに、前記テスト結果信号を受け、前記読み出しデータと前記期待値データとが一致しない場合には、高インピーダンス状態になるバッファ回路を有し、

前記制御手段は前記データの出力タイミングを指示する信号に基づいた制御信号を前記比較結果保持手段に与え、前記比較結果を保持するタイミングを指示することを特徴とする請求項3記載の半導体記憶装置。

【請求項6】 前記制御手段は外部からの制御信号を受ける複数の信号入力端子を有し、

前記信号入力端子の1つと接地電位との間に、少なくとも1のスイッチ素子を有し、前記テスト結果信号を受け、前記読み出しデータと前記期待値データとが一致し

ない場合には前記スイッチ素子を閉じて、前記信号入力端子と前記接地電位との間に電流を流すことで、書き込みおよび読み出しの動作が誤っていることを指摘する誤動作指摘手段をさらに備える請求項1または請求項3記載の半導体記憶装置。

【請求項7】 前記比較結果保持手段は、第1の電位と第2の電位との間に抵抗素子と経路切断素子とが直列に配置された第1の経路と、

前記抵抗素子と前記経路切断素子との接続点から延在し前記テスト結果信号を出力する経路に接続される第2の経路と、

前記経路切断素子に接続され、前記比較結果を受けて前記期待値データと前記読み出しデータとが一致しない場合には前記第1の経路の接続を断ち、前記期待値データと前記読み出しデータとが一致する場合には前記第1の経路の接続を保つように前記経路切断素子を制御する切断素子制御手段とを有する請求項1または請求項3記載の半導体記憶装置。

【請求項8】 前記経路切断素子はヒューズ素子であり、

前記切断素子制御手段は、前記ヒューズ素子と前記第2の電位との間に介挿されたスイッチ素子を有し、前記期待値データと前記読み出しデータとが一致しない場合には、前記スイッチ素子を閉じて前記ヒューズ素子に過電流を流し、前記ヒューズ素子を熔断することで前記第1の経路の接続を断つことを特徴とする請求項7記載の半導体記憶装置。

【請求項9】 前記経路切断素子は一方の電極が前記第2の電位に接続されたフローティング・ゲート・トランジスタであり、

前記切断素子制御手段は、前記フローティング・ゲート・トランジスタの他方の電極と第3の電位との間に介挿された第1のスイッチ素子および抵抗素子と、

前記フローティング・ゲート・トランジスタの制御電極と前記第3の電位との間に介挿された第2のスイッチ素子とを有し、前記期待値データと前記読み出しデータとが一致しない場合には、前記第1および第2のスイッチ素子を閉じ、前記フローティング・ゲート・トランジスタの制御電極の電位を前記フローティング・ゲート・トランジスタの他方の電極の電位よりも高くして、フローティング・ゲートに電子を供給して、前記フローティング・ゲート・トランジスタが導通することを阻止することで前記第1の経路の接続を断つことを特徴とする請求項7記載の半導体記憶装置。

【請求項10】 複数の入出力線対を介して複数のメモリセルアレイに個々にデータの書き込み、読み出しを行う半導体記憶装置であって、

前記データの入力および出力を兼用する複数のデータ入出力端子と、

前記複数のデータ入出力端子にそれぞれ接続され、前記

複数の入出力線対を介して複数の前記メモリセルアレイにそれぞれデータの書き込みを行う複数の書き込み手段と、

前記複数の前記メモリセルアレイに書き込まれる前記複数の書き込みデータが、動作テスト時には全て同一のデータとなるように、前記複数のデータ入出力端子の1つである第1のデータ入出力端子から入力された書き込みデータのみを前記複数の書き込み手段に与えるデータ選択手段と、

10 前記複数の入出力線対を介して前記複数のメモリセルアレイからそれぞれデータの読み出しを行う複数の読み出し手段と、

前記複数のデータ入出力端子と前記複数の読み出し手段との間に接続され、前記複数の読み出し手段によって読み出された複数の読み出しデータを前記複数のデータ入出力端子に出力する複数の出力手段と、

前記複数の読み出し手段に接続され、前記複数の読み出しデータを縮退して少なくとも1の縮退データとする縮退手段と、

20 前記縮退手段および前記第1のデータ入出力端子に接続され、前記少なくとも1の縮退データと前記第1のデータ入出力端子からの書き込みデータとの比較を行う比較手段と、

前記比較手段に接続され、前記比較結果を不揮発的に保持する比較結果保持手段と、

前記期待値保持手段、前記比較結果保持手段、前記複数の出力手段を制御する制御信号を出力する制御手段とを備え、

30 前記比較結果保持手段に不揮発的に保持された前記比較結果を調べることで、書き込みおよび読み出しの動作の正誤を確認できる半導体記憶装置。

【請求項11】 前記複数の出力手段は、前記複数のデータ入出力端子を介して外部から前記複数の書き込みデータを入力する際に、前記制御手段からの出力制御信号を受けて高インピーダンス状態になるバッファ回路をそれぞれ有する請求項10記載の半導体記憶装置。

【請求項12】 前記比較結果保持手段は、第1の電位が与えられる第1のアドレス入力ピンと第2の電位との間の経路に直列に介挿された経路切断素子およびスイッチング素子と、

40 前記比較結果を反映したテスト結果信号を出力するテスト結果出力手段とを有し、

前記スイッチング素子の制御電極は前記テスト結果出力手段の出力に接続され、

前記テスト結果信号は、前記第1のデータ入出力端子からの書き込みデータと前記少なくとも1の縮退データとが一致する場合には、前記スイッチング素子を導通させるように与えられ、前記第1のデータ入出力端子からの書き込みデータと前記少なくとも1の縮退データとが一致する場合には、前記スイッチング素子を非導通に保つ

ように与えられ、

前記経路切断素子はヒューズ素子であり、前記第1のデータ入出力端子からの書き込みデータと前記少なくとも1の縮退データとが一致する場合には、前記ヒューズ素子に過電流を流し、前記ヒューズ素子を溶断することで前記経路の接続を断つことを特徴とする請求項10記載の半導体記憶装置。

【請求項13】 前記第1の電位は電源電位よりも高く、

前記第1のアドレス入力ピンに接続され、通常動作時には前記第1のアドレス入力ピンから入力されたアドレス信号を通すアドレスバッファをさらに備え、

前記アドレスバッファは、

前記第1のアドレス入力ピンに一方の電極を接続され、ゲート電極に前記第1アドレス入力ピンを接続された第1導電型の第1のMOSトランジスタと、

前記第1のMOSトランジスタの他方の電極に一方の電極を接続され、ゲート電極に前記第1のアドレス入力ピンを接続された第2導電型の第2のMOSトランジスタと、

前記第2のMOSトランジスタの他方の電極に一方の電極を接続され、他方の電極を前記第2の電位に接続された第2導電型の第3のMOSトランジスタと、

前記電源電位に一方の電極を接続され、他方の電極を前記第1のMOSトランジスタの他方の電極に接続された第1導電型の第4のMOSトランジスタとを有し、

前記ヒューズ素子を溶断する際に、前記第3のMOSトランジスタを非導通とし、前記第4のトランジスタを導通させて、前記第1のMOSトランジスタの他方の電極の電位を前記電源電位とすること特徴とする請求項12記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体記憶装置に関し、特にテスト機構を内蔵したダイナミックRAMに関する。

【0002】

【従来の技術】製造されたDRAMチップは、すべてのメモリスセルが正常に書き込み・読み出しができるかどうかをテストを用いて試験した後に出荷される。ところが、DRAMチップの記憶容量が増大するにつれてテスト時間が増加するという問題が生じている。例えば、64M（メガビット）DRAMチップでは、サイクル時間90nsで、全メモリスセルに“1”を書いて全メモリスセルから“1”を読み、全メモリスセルに“0”を書いて全メモリスセルから“0”を読むという簡単なテスト手順でも、 $90 \times 10^{-9} \times 4 \times 64 \times (1024)^2 = 2.4$ 秒かかってしまう。

【0003】実際は、種々の検査項目を追加したテスト手順で試験を行うため、300秒程度かかっている。し

かし、DRAMチップは、月産数百万個の大量生産を行う必要があるため、複数のDRAMチップを同時に並列測定することによって、処理能力を上げてテストの迅速化を図っている。

【0004】図32に、複数のDRAMチップを同時に並列測定する場合の構成を示す。図32において、被験体であるn個のDRAMチップM1～Mnが並列にテスト70に接続されている。テスト70はn個の信号ドライバD11～D1n、n個のデータ判定回路J11～J1nを有している。信号ドライバD11およびデータ判定回路J11はDRAMチップM1のDQピンに接続され、書き込みサイクルにDRAMチップM1のDQピンに書き込みデータを印加し、データ判定回路J11は、読み出しサイクルにDRAMチップM1が正しい読み出しデータを出力しているかどうかを判定する。以下同様にDRAMチップM2のDQピンには信号ドライバD12およびデータ判定回路J12が、DRAMチップMnのDQピンには信号ドライバD1nおよびデータ判定回路J1nが順次接続されている。

【0005】なお、テスト70はそれぞれのDRAMチップMの図示しないバーRASピン、バーCASピン、バーOEピン、バーWEピン、およびアドレス信号ピンにも所定の信号を与える構成を有している。

【0006】

【発明が解決しようとする課題】以上説明したように、従来は被験体であるn個のDRAMチップと同じ数の信号ドライバおよびデータ判定回路を備えたテストを使用し、n個のDRAMチップを同時にテストすることにより、処理能力を高め、テストの迅速化を図っていた。しかし、データ判定回路を複数個備えたテストは高価であり、テストのためのコストが増大するという問題があった。

【0007】本発明は上記のような問題点を解消するためになされたもので、複数の半導体記憶装置のテストを、単一のデータ判定回路を備えるテストを用いて行うことを可能とするために、テスト機構を内蔵した半導体記憶装置を提供する。

【0008】

【課題を解決するための手段】本発明に係る請求項1記載の半導体記憶装置は、入出力線対を介してメモリスセルアレイにデータの書き込み、読み出しを行う半導体記憶装置であって、前記データの入力および出力を兼用するデータ入出力端子と、前記データ入出力端子に接続され、前記入出力線対を介して前記メモリスセルアレイにデータの書き込みを行う書き込み手段と、前記入出力線対を介して前記メモリスセルアレイからデータの読み出しを行う読み出し手段と、前記データ入出力端子と前記読み出し手段との間に接続され、前記読み出し手段によって読み出された読み出しデータを前記データ入出力端子に出力する出力手段をさらに備え、前記データ入出力端子

に接続され、外部から与えられた期待値データを一時的に保持する期待値保持手段と、前記期待値保持手段および前記読み出し手段に接続され、前記読み出し手段によって読み出された読み出しデータと、前記期待値データとの比較を行い比較結果を出力する比較手段と、前記比較手段に接続され、前記比較結果を不揮発的に保持するとともに、前記比較結果を反映したテスト結果信号を出力する比較結果保持手段と、前記期待値保持手段、前記比較結果保持手段、前記出力手段を制御する制御信号を出力する制御手段とを備え、前記比較結果保持手段から出力される前記テスト結果信号を用いて、書き込みおよび読み出しの動作の正誤を外部に示す。

【0009】本発明に係る請求項2記載の半導体記憶装置は、前記出力手段が、前記データ入出力端子を介して外部から期待値データを入力する際に、前記制御手段からの出力制御信号を受けて高インピーダンス状態になるとともに、前記テスト結果信号を受け、前記読み出しデータと前記期待値データとが一致しない場合には、高インピーダンス状態になるバッファ回路を有し、前記制御手段が、前記データの出力タイミングを指示するOE信号を入力するOE信号入力端子を有し、前記OE信号に基づいた制御信号を前記比較結果保持手段に与え、前記比較結果を保持するタイミングを指示する。

【0010】本発明に係る請求項3記載の半導体記憶装置は、入出力線対を介してメモリセルアレイにデータの書き込み、読み出しを行う半導体記憶装置であって、前記データの入力を行うデータ入力端子と、前記データの出力を行うデータ出力端子と、前記データ入力端子に接続され、前記入出力線対を介して前記メモリセルアレイにデータの書き込みを行う書き込み手段と、前記入出力線対を介して前記メモリセルアレイからデータの読み出しを行う読み出し手段と、前記読み出し手段と前記データ出力端子との間に接続され、前記読み出し手段によって読み出された読み出しデータを前記データ出力端子に出力する出力手段と、前記データ入力端子および前記データ出力端子のどちらか一方に接続され、外部から与えられた期待値データを一時的に保持する期待値保持手段と、前記期待値保持手段および前記読み出し手段に接続され、前記読み出し手段によって読み出された読み出しデータと、前記期待値データとの比較を行い比較結果を出力する比較手段と、前記比較手段に接続され、前記比較結果を不揮発的に保持するとともに、前記比較結果を反映したテスト結果信号を出力する比較結果保持手段と、前記期待値保持手段、前記比較結果保持手段、前記出力手段を制御する制御信号を出力する制御手段とを備え、前記比較結果保持手段から出力される前記テスト結果信号を用いて、書き込みおよび読み出しの動作の正誤を外部に示す。

【0011】本発明に係る請求項4記載の半導体記憶装置は、前記期待値保持手段が前記データ入力端子に接続

され、前記制御手段は前記データ出力端子に接続され、前記出力手段は、前記データ出力端子を介して外部から前記データの出力タイミングを指示する信号を前記制御手段に入力する際に、前記制御手段からの出力制御信号を受けて高インピーダンス状態になるとともに、前記テスト結果信号を受け、前記読み出しデータと前記期待値データとが一致しない場合には、高インピーダンス状態になるバッファ回路を有し、前記制御手段は前記データの出力タイミングを指示する信号に基づいた制御信号を前記比較結果保持手段に与え、前記比較結果を保持するタイミングを指示する。

【0012】本発明に係る請求項5記載の半導体記憶装置は、前記期待値保持手段が前記データ出力端子に接続され、前記制御手段は前記データ入力端子に接続され、前記出力手段は、前記データ出力端子を介して外部から期待値データを入力する際に、前記制御手段からの出力制御信号を受けて高インピーダンス状態になるとともに、前記テスト結果信号を受け、前記読み出しデータと前記期待値データとが一致しない場合には、高インピーダンス状態になるバッファ回路を有し、前記制御手段は前記データの出力タイミングを指示する信号に基づいた制御信号を前記比較結果保持手段に与え、前記比較結果を保持するタイミングを指示する。

【0013】本発明に係る請求項6記載の半導体記憶装置は、前記制御手段が外部からの制御信号を受ける複数の信号入力端子を有し、前記信号入力端子の1つと接地電位との間に、少なくとも1のスイッチ素子を有し、前記テスト結果信号を受け、前記読み出しデータと前記期待値データとが一致しない場合には前記スイッチ素子を閉じて、前記信号入力端子と前記接地電位との間に電流を流すことで、書き込みおよび読み出しの動作が誤っていることを指摘する誤動作指摘手段をさらに備えている。

【0014】本発明に係る請求項7記載の半導体記憶装置は、前記比較結果保持手段が、第1の電位と第2の電位との間に抵抗素子と経路切断素子とが直列に配置された第1の経路と、前記抵抗素子と前記経路切断素子との接続点から延在し前記テスト結果信号を出力する経路に接続される第2の経路と、前記経路切断素子に接続され、前記比較結果を受けて前記期待値データと前記読み出しデータとが一致しない場合には前記第1の経路の接続を断ち、前記期待値データと前記読み出しデータとが一致する場合には前記第1の経路の接続を保つように前記経路切断素子を制御する切断素子制御手段とを有している。

【0015】本発明に係る請求項8記載の半導体記憶装置は、前記経路切断素子がヒューズ素子であり、前記切断素子制御手段は、前記ヒューズ素子と前記第2の電位との間に介挿されたスイッチ素子を有し、前記期待値データと前記読み出しデータとが一致しない場合には、前

記スイッチ素子を閉じて前記ヒューズ素子に過電流を流し、前記ヒューズ素子を溶断することで前記第1の経路の接続を断つものである。

【0016】本発明に係る請求項9記載の半導体記憶装置は、前記経路切断素子が一方の電極が前記第2の電位に接続されたフローティング・ゲート・トランジスタであり、前記切断素子制御手段は、前記フローティング・ゲート・トランジスタの他方の電極と第3の電位との間に介挿された第1のスイッチ素子および抵抗素子と、前記フローティング・ゲート・トランジスタの制御電極と前記第3の電位との間に介挿された第2のスイッチ素子とを有し、前記期待値データと前記読み出しデータとが一致しない場合には、前記第1および第2のスイッチ素子を閉じ、前記フローティング・ゲート・トランジスタの制御電極の電位を前記フローティング・ゲート・トランジスタの他方の電極の電位よりも高くして、フローティング・ゲートに電子を供給して、前記フローティング・ゲート・トランジスタが導通することを阻止することで前記第1の経路の接続を断つものである。

【0017】本発明に係る請求項10記載の半導体記憶装置は、複数の入出力線対を介して複数のメモリセルアレイに個々にデータの書き込み、読み出しを行う半導体記憶装置であって、前記データの入力および出力を兼用する複数のデータ入出力端子と、前記複数のデータ入出力端子にそれぞれ接続され、前記複数の入出力線対を介して複数の前記メモリセルアレイにそれぞれデータの書き込みを行う複数の書き込み手段と、前記複数の前記メモリセルアレイに書き込まれる前記複数の書き込みデータが、動作テスト時には全て同一のデータとなるように、前記複数のデータ入出力端子の1つである第1のデータ入出力端子から入力された書き込みデータのみを前記複数の書き込み手段に与えるデータ選択手段と、前記複数の入出力線対を介して前記複数のメモリセルアレイからそれぞれデータの読み出しを行う複数の読み出し手段と、前記複数のデータ入出力端子と前記複数の読み出し手段との間に接続され、前記複数の読み出し手段によって読み出された複数の読み出しデータを前記複数のデータ入出力端子に出力する複数の出力手段と、前記複数の読み出し手段に接続され、前記複数の読み出しデータを縮退して少なくとも1の縮退データとする縮退手段と、前記縮退手段および前記第1のデータ入出力端子に接続され、前記少なくとも1の縮退データと前記第1のデータ入出力端子からの書き込みデータとの比較を行う比較手段と、前記比較手段に接続され、前記比較結果を不揮発的に保持する比較結果保持手段と、前記期待値保持手段、前記比較結果保持手段、前記複数の出力手段を制御する制御信号を出力する制御手段とを備え、前記比較結果保持手段に不揮発的に保持された前記比較結果を調べることで、書き込みおよび読み出しの動作の正誤を確認できるものである。

【0018】本発明に係る請求項11記載の半導体記憶装置は、前記複数の出力手段が、前記複数のデータ入出力端子を介して外部から前記複数の書き込みデータを入力する際に、前記制御手段からの出力制御信号を受けて高インピーダンス状態になるバッファ回路をそれぞれ有している。

【0019】本発明に係る請求項12記載の半導体記憶装置は、前記比較結果保持手段が、第1の電位が与えられる第1のアドレス入力ピンと第2の電位との間の経路に直列に介挿された経路切断素子およびスイッチング素子と、前記比較結果を反映したテスト結果信号を出力するテスト結果出力手段とを有し、前記スイッチング素子の制御電極は前記テスト結果出力手段の出力に接続され、前記テスト結果信号は、前記第1のデータ入出力端子からの書き込みデータと前記少なくとも1の縮退データとが一致する場合には、前記スイッチング素子を導通させるように与えられ、前記第1のデータ入出力端子からの書き込みデータと前記少なくとも1の縮退データとが一致する場合には、前記スイッチング素子を非導通に保つように与えられ、前記経路切断素子はヒューズ素子であり、前記第1のデータ入出力端子からの書き込みデータと前記少なくとも1の縮退データとが一致する場合には、前記ヒューズ素子に過電流を流し、前記ヒューズ素子を溶断することで前記経路の接続を断つものである。

【0020】本発明に係る請求項13記載の半導体記憶装置は、前記第1の電位が電源電位よりも高く、前記第1のアドレス入力ピンに接続され、通常動作時には前記第1のアドレス入力ピンから入力されたアドレス信号を通すアドレスバッファをさらに備え、前記アドレスバッファは、前記第1のアドレス入力ピンに一方の電極を接続され、ゲート電極に前記第1アドレス入力ピンを接続された第1導電型の第1のMOSトランジスタと、前記第1のMOSトランジスタの他方の電極に一方の電極を接続され、ゲート電極に前記第1のアドレス入力ピンを接続された第2導電型の第2のMOSトランジスタと、前記第2のMOSトランジスタの他方の電極に一方の電極を接続され、他方の電極を前記第2の電位に接続された第2導電型の第3のMOSトランジスタと、前記電源電位に一方の電極を接続され、他方の電極を前記第1のMOSトランジスタの他方の電極に接続された第1導電型の第4のMOSトランジスタとを有し、前記ヒューズ素子を溶断する際に、前記第3のMOSトランジスタを非導通とし、前記第4のトランジスタを導通させて、前記第1のMOSトランジスタの他方の電極の電位を前記電源電位とするものである。

【0021】

【発明の実施の形態】

<実施の形態1>

<A. 装置構成>図1に、本発明に係る半導体記憶装置

の実施の形態1としてテスト機構を内蔵したDRAMチップM100の構成を示す。図1においてDRAMチップM100は、従来と同様にバーRASピン、バーCASピン、バーOEピン、バーWEピン、およびアドレス信号ピンA<0>~A<12>を有する制御回路1と、メモリセルアレイ4と、メモリセルアレイ4に接続された列アドレスデコーダ2および、行アドレスデコーダ3を備えている。

【0022】メモリセルアレイ4はバーI/O線にソース電極が接続されたN型MOSFETQ1と、I/O線にソース電極が接続されたN型MOSFETQ2と、N型MOSFETQ1およびQ2のドレイン電極に接続され、ビット線バーBL、BLの電位差を比較するセンスアンプ5と、ビット線バーBLにソース電極を接続され、ドレイン電極にキャパシタC1が接続されたN型MOSFETQ3とを備えている。ここで、キャパシタC1およびN型MOSFETQ3はメモリセルを形成している。そしてN型MOSFETQ1およびQ2のゲート電極は共通に列アドレスデコーダ2に接続され、N型MOSFETQ3のゲート電極は行アドレスデコーダ3に接続されている。なお、図1においてはメモリセルアレイの部分的な構成を示すにとどめる。

【0023】I/O線、バーI/O線にはさらにデータ読み出しのための読み出し回路10、およびデータ書き込みのための書き込み回路15が接続されている。読み出し回路10には、読み出したデータをDQピン（データの入出力を兼ねるピン）に出力する出力バッファ13と、読み出したデータと期待値との比較を行う比較回路11が接続され、比較回路11には期待値を保持する期待値保持回路12と、比較回路11における比較結果を保持する比較結果保持回路14とが接続され、出力バッファ13には比較結果保持回路14が接続され、期待値保持回路12および書き込み回路15はDQピンに接続されている。

【0024】次にDRAMチップM100の構成を回路図として示した図2および図3を用いて、制御回路1、読み出し回路10、比較回路11、期待値保持回路12、出力バッファ13、比較結果保持回路14、書き込み回路15の構成および動作について説明する。なお、図2および図3はAA'線において結合される。

【0025】<A-1. 読み出し回路>まず構成について説明する。図2に示すように、読み出し回路10は差動増幅器DFで構成され、+入力にはI/O線が、-入力にはバーI/O線が接続されている。差動増幅器DFの出力は出力バッファ13のインバータG1および3入力NANDゲートG4と、比較回路11のNANDゲートG9に与えられる。

【0026】<A-2. 出力バッファ>出力バッファ13は電源電位Vccと接地電位Vssとの間に直列に接続されたN型MOSFETQ11およびQ12と、インバー

タG2、G3、3入力NANDゲートG4、G5を有している。N型MOSFETQ11およびQ12の共通接続ノードがDQピンに接続されている。N型MOSFETQ11のゲート電極にはインバータG2の出力が接続され、インバータG2の入力には3入力NANDゲートG4の出力が接続されている。3入力NANDゲートG4の入力には、出力回路制御信号OEM（以後OEM信号と呼称）、比較結果保持回路14からのGOOD出力、および差動増幅器DFからの出力が与えられる。

【0027】N型MOSFETQ12のゲート電極にはインバータG3の出力が接続され、インバータG3の入力には3入力NANDゲートG5の出力が接続されている。3入力NANDゲートG5の入力には、出力回路制御信号OEM、比較結果保持回路14からのGOOD出力、およびインバータG1の出力が与えられる。

【0028】<A-3. 期待値保持回路>期待値保持回路12は、N型MOSFETQ13とインバータG6~G8を有し、DQピンから与えられる期待値DeはN型MOSFETQ13のドレイン電極に与えられ、N型MOSFETQ13のソース電極はインバータG6の入力に接続され、インバータG6の出力はインバータG8の入力に接続され、インバータG8の出力は期待値Deとなる。ここで、N型MOSFETQ13のゲート電極にはφ2信号が与えられる。また、インバータ6にはインバータG7がループ状に接続されている。

【0029】<A-4. 比較回路>比較回路11はNANDゲートG9、インバータG10、G13、およびNORゲートG11、G12を有している。NANDゲートG9の入力には差動増幅器DFの出力と期待値保持回路12から出力される期待値Deが与えられ、NANDゲートG9の出力にはインバータG10が接続されている。また、NORゲートG11の入力にも差動増幅器DFの出力と期待値保持回路12から出力される期待値Deが与えられ、NORゲートG11およびインバータG10の出力はNORゲートG12の入力にそれぞれ与えられ、NORゲートG12の出力にはインバータG13が接続され、インバータG13の出力は比較回路11の出力Dtとなる。

【0030】<A-5. 比較結果保持回路>比較結果保持回路14は、N型MOSFETQ14~Q18、インバータG14~G17、抵抗素子R1、ヒューズ素子F1を有している。比較回路11の出力DtはN型MOSFETQ14のドレイン電極に与えられ、N型MOSFETQ14のソース電極はインバータG14の入力に接続されている。インバータG14にはインバータG15がループ状に接続され、インバータG14の出力はN型MOSFETQ15のドレイン電極およびN型MOSFETQ16のゲート電極に接続されている。ここで、N型MOSFETQ15のソース電極は接地電位Vssに接続され、ゲート電極にはφ1信号が与えられる。

【0031】N型MOSFETQ16のドレイン電極はヒューズ素子F1（経路切断素子）を介して電源電位Vccに接続され、ソース電極はN型MOSFETQ17のドレイン電極に接続されている。そしてN型MOSFETQ17のソース電極は接地電位Vssに接続され、ゲート電極にはφ3信号が与えられる。

【0032】また、N型MOSFETQ16のドレイン電極はインバータG16の入力に接続されるとともに、接地電位Vssとの間に接続された抵抗素子R1および、ソース電極が接地電位Vssに接続されたN型MOSFETQ18のドレイン電極に接続されている。

【0033】そして、インバータG16の出力はインバータG17の入力およびN型MOSFETQ18のゲート電極に接続され、インバータG17の出力は比較結果保持回路14の出力であるGOOD信号となる。

【0034】＜A-6. 書き込み回路＞書き込み回路15は、P型MOSFETQ30およびQ31、N型MOSFETQ32およびQ33、NANDゲートG51およびG52、インバータG52～G56を有している。P型MOSFETQ30とN型MOSFETQ32は電源電位Vccと接地電位Vssとの間に直列に接続され、両者の接続ノードはバーI/O線に接続されている。また、P型MOSFETQ31とN型MOSFETQ33も電源電位Vccと接地電位Vssとの間に直列に接続され、両者の接続ノードはI/O線に接続されている。

【0035】DQピンはNANDゲートG50の入力に直に接続されるとともに、インバータG52を介してNANDゲートG51の入力に接続され、制御回路1から与えられる書き込み回路活性化信号φwは、NANDゲートG50およびG51の入力に直に与えられる。NANDゲートG50およびG51の出力にはインバータG53およびG54がそれぞれ接続され、インバータG53の出力はN型MOSFETQ32のゲート電極およびインバータG55に接続されている。また、インバータG54の出力はN型MOSFETQ33のゲート電極およびインバータG56に接続されている。そして、インバータG55の出力はP型MOSFETQ31のゲート電極に、インバータG56の出力はP型MOSFETQ30のゲート電極にそれぞれ接続されている。

【0036】＜A-7. テスト制御回路＞次に、図4を用いて制御回路1に含まれるテスト制御回路TCの構成について説明する。テスト制御回路TCはDRAMチップM100のテスト機構を制御するための制御信号φ1～φ3およびバーTEST信号を出力する回路である。

【0037】図4に示すようにテスト制御回路TCは、インバータG18～G24およびG50、G51、NORゲートG25、G30、NANDゲートG26～G29、P型MOSFETQ19～Q21、抵抗素子R2およびR20を有している。

【0038】バーRAS信号端子はNORゲートG25

の入力に直に接続されるとともに、直列に接続されたインバータG18～G20のインバータG18に接続され、インバータG20の出力はNORゲートG25の入力に接続されている。バーWE信号端子はインバータG21に接続され、バーCAS信号端子はインバータG22に接続される。

【0039】また、アドレスピンA<0>は、P型MOSFETQ19のソース電極に接続され、P型MOSFETQ19のドレイン電極には、P型MOSFETQ20およびQ21が直列に接続され、P型MOSFETQ21のドレイン電極は抵抗素子R2を介して接地電位Vssに接続されている。P型MOSFETQ19およびQ20のゲート電極は各々のドレイン電極に接続され、P型MOSFETQ21のゲート電極は電源電位Vccに接続され、P型MOSFETQ19、Q20、Q21のバックゲートはそれぞれのソース電極に接続されている。ここで、P型MOSFETQ21のドレイン電極と抵抗素子Rとの接続点をノードN1と呼称する。

【0040】NANDゲートG26およびG27は4入力であり、NANDゲートG26には、NORゲートG25およびインバータG21、G22の出力と、P型MOSFETQ21のソース電極が接続され、NANDゲートG27の入力には、NORゲートG25およびインバータG22の出力とバーWE信号端子が接続されている。ここで、NORゲートG25の出力とNANDゲートG27の入力の接続点をノードN2と呼称する。

【0041】NANDゲートG26の出力はインバータG23およびNANDゲートG28の入力に接続され、NANDゲートG27の出力はインバータG24およびNANDゲートG29の入力に接続されている。ここで、インバータG23の接続点をノードN3と呼称する。

【0042】また、NANDゲートG28の出力はNANDゲートG29の入力に接続され、NANDゲートG29の出力はNANDゲートG28の入力に接続されるとともに、NORゲートG30の一方の入力に接続されている。ここで、NANDゲートG29は3入力であり、残る1つの入力には電源投入後一定の期間“L”を出力するパワーオンリセット回路（POR回路と略記）の出力が接続されている。従って、POR回路の出力が“L”の期間はNANDゲートG28およびG29で構成されるフリップフロップ回路は“H”にリセットされることになる。なお、NANDゲートG29の出力がバーTEST信号である。また、POR回路の構成は、電源電位Vccと接地電位Vssとの間に抵抗素子R10およびキャパシタC10が順に直列に接続され、抵抗素子R10とキャパシタC10の接続点がインバータG50に入力され、インバータG50の出力がインバータG51に入力され、インバータG51の出力がPOR回路の出力となっている。

【0043】NORゲートG30の他方の入力にはバーCAS信号端子が接続され、NORゲートG30からはφ2信号が出力される。また、インバータG23からはφ1信号が出力され、インバータG24からはφ3信号が出力されることになる。

【0044】<A-8. OEM信号発生回路>次に図5を用いて制御回路1に含まれるOEM信号発生回路GCの構成について説明する。図5に示すようにOEM信号発生回路GCは、インバータG31、G36~G39、NORゲートG32およびG33、NANDゲートG34およびG35を有している。

【0045】図5において、インバータG31にはバーTEST信号が入力され、3入力のNORゲートG32には、バーCAS信号端子およびバーOE信号端子が接続されるとともに、インバータG31の出力が接続されている。

【0046】バーRAS信号端子はNANDゲートG34の入力に接続され、NORゲートG32の出力はNANDゲートG35の入力に接続されている。また、NANDゲートG34の出力はNANDゲートG35の入力に接続され、NANDゲートG35の出力はNANDゲートG34の入力に接続されるとともに、インバータG36に接続されている。

【0047】また、バーOE信号端子はNORゲートG33に直に接続されるとともに、直列に接続されたインバータG37~G39のインバータG37に接続され、インバータG39の出力はNORゲートG33に接続されている。

【0048】ここで、インバータG36からはOEM信号が出力され、NORゲートG33からはφ4信号が出力されることになる。

【0049】<B. 並列テスト動作>次にテスト機構を内蔵したDRAMチップM100の並列テストについて、図2~図5および、テストのための構成を示す図6および、DRAMチップM100のテスト動作のタイミングチャートを示した図7および図8を用いて説明する。なお、図7および図8において示される破線は誤動作が起こった場合の動作、実線は誤動作が起こらなかった場合の動作を示す。また、図7および図8はBB'線で結合される。

【0050】図6において、被験体であるn個のDRAMチップM1~Mnが、それぞれバッファ回路BF1~BFnを介して並列にテスト80に接続されている。ここで、DRAMチップM1~Mnはそれぞれテスト機構を内蔵しており、その中の1つがDRAMチップM100である。なお、バッファ回路BF1~BFnはDRAMチップM1~Mnを取り付けるテストボードに予め設けられている。

【0051】テスト機構を内蔵したDRAMのテストに用いられるテスト80は1個の信号ドライバD1および

1個のデータ判定回路J1しか有しておらず、テスト80が有する入出力経路は分岐してn個のDRAMチップM1~Mnに接続される。ここで、テスト80の入出力経路は1本しか示していないが、実際にはDRAMチップM100のバーRASピン、バーCASピン、バーOEピン、バーWEピン、およびアドレス信号ピンにも所定の信号を与えるための経路を有している。

【0052】<B-1. サイクル1>まず、図7および図8に示すバーRAS信号のサイクル1においてDRAMチップM100の動作モードを通常モードからテストモードに切り換える。通常モードからテストモードへの切り換えは、バーRAS信号の“H”から“L”への変化に先だて、バーCAS信号およびバーWE信号を“H”から“L”に変化させ、アドレスピンA<0>の値を $V_{cc} + 3 | V_{THP} |$ 以上(V_{THP} はP型MOSFETの閾値)とすることで、バーRAS信号が“H”から“L”に変化するタイミングでバーTEST信号が“L”となってテストモードへの切り換えを行う。なお、テストモードから通常モードへの切り換えは電源をオフすることによって行う。

【0053】テストモードへの切り換え動作を順に説明する。バーRAS信号が“L”に変化した後、インバータG18、G19、G20による遅延時間分だけNORゲートG25の入力が“H”になる。従って、インバータG18、G19、G20による遅延時間が経過するまではNORゲートG25出力、すなわちノードN2は“H”である。ここで、バーCAS信号およびバーWE信号は“L”であるので、インバータG21およびG22の出力はともに“H”である。

【0054】また、アドレスピンA<0>の電位は $V_{cc} + 3 | V_{THP} |$ 以上なので、直列に接続されたP型MOSFETQ19、Q20、Q21が導通して、ノードN1の電位が“H”となる。従って、NANDゲートG26の出力、すなわちノードN3の電位は一定期間“L”となり、信号φ1は“H”となる。一方、NANDゲートG27の出力は“H”である。

【0055】ここで、NANDゲート28およびG29はリセット・セット・フリップフロップを構成しているので、ノードN3の電位が一定期間“L”になることによってセットされ、NANDゲート29の出力、すなわちバーTEST信号は“L”となる。バーTEST信号が“L”になると、バーCAS信号が“L”の期間、信号φ2は“H”となる。

【0056】<B-2. サイクル2>次にバーRAS信号のサイクル2では、バーRAS信号が“L”に変化する時と、バーCAS信号が“L”に変化する時にはアドレスピンA<0>~A<12>の電位は“L”となっている。また、バーWE信号が“L”になって書き込みサイクルであることが指定されている。従って、このサイクルには、行アドレス(A<0>~A<12>)、列アドレス(A<0>

～A<12>)で選択されるメモリセルに、DQピンに印加された“H”データが書き込まれる。

【0057】<B-3. サイクル3>バーRAS信号のサイクル3では、バーRAS信号が“L”に変化する時と、バーCAS信号が“L”に変化する時にはアドレスピンA<0>～A<12>の電位は“L”となっている。また、バーWE信号は“H”になって読み出しサイクルであることが指定されている。従って、前サイクルで“H”が書き込まれたメモリセルからデータが読み出される。

【0058】I/O線対(I/O線およびバーI/O線)に読み出されたメモリセルのデータは読み出し回路10の差動増幅器DFで増幅されて、読み出しデータDrは“H”になる。サイクル3は、バーWE信号が“H”なので、読み出しサイクルであるが、バーTEST信号は“L”なので、図5に示すOEM信号発生回路GCのNORゲートG32の入力の1つには“H”が与えられることになり、他の入力は何であってNORゲートG32の出力は“L”となり、NANDゲートG35の出力は“H”となってOEM信号は“L”となる。

【0059】OEM信号が“L”であれば、図2に示す出力バッファ13のNANDゲートG4およびG5の出力は他の入力は何であって“H”になる。そして、N型MOSFETQ11およびQ12のゲート電極にはそれぞれインバータG2およびG3を介してNANDゲートG4およびG5の出力が与えられるので、N型MOSFETQ11およびQ12はともに非導通状態となり、出力バッファ13はハイ・インピーダンス状態となる。

【0060】従って、サイクル3においてはテスト80から読み出しデータの期待値DeをDQピンを介してDRAMチップM100に与えることができる。

【0061】期待値保持回路12はインバータG6およびG7で構成されるラッチ回路を備えており、DQピンに与えられた読み出しデータの期待値Deは、信号φ2が“H”の期間にラッチ回路に転送される。そしてラッチ回路から出力される読み出しデータの期待値Deは比較回路11に与えられ、読み出し回路10から出力される読み出しデータDrと比較される。

【0062】ここで、期待値Deが“H”に対して、読み出しデータDrが“H”となった場合は、正常動作であり、比較回路11から出力される比較結果Dtは“H”となる。しかし、なんらかの原因で誤動作が起こり、読み出しデータDrが“L”となった場合は比較結果Dtは“L”となる。

【0063】比較結果Dtは、図3に示す比較結果保持回路14に与えられるが、比較結果保持回路14の入力部にはN型MOSFETQ14が設けられている。N型MOSFETQ14のゲート電極には、バーOE信号が“L”になった時に、図4に示す直列に接続されたインバータG37、G38、G39による遅延時間分だけ

“H”になる信号φ4が与えられる。

【0064】比較結果Dtは信号φ4が“H”の期間に比較結果保持回路14のインバータG14およびG15で構成されるラッチ回路に転送される。ラッチ回路の出力(FAIL信号)は、テストモードに入った時、一定期間“H”になる信号φ1によってN型MOSFETQ15を通じて“L”にリセットされているが、比較結果Dtが“L”となること、すなわち誤動作の発生により“H”にセットされる。

10 【0065】<B-4. サイクル4>サイクル4は、テストモードの終了を指定する。バーRAS信号が“L”に変化した時、バーCAS信号を“L”、アドレス信号ピンA<0>の電位を $V_{cc} + 3 | V_{THP}$ 以上にすると、図4に示すテスト制御回路TCにおいてノードN1は“H”となり、NANDゲートG27の出力は、バーRAS信号が“L”に変化した時からインバータG18、G19、G20による遅延時間分だけ“L”になる。従って、NANDゲートG28およびG29で構成されるリセット・セット・フリップフロップの出力であるバーTEST信号は“H”となり、信号φ3はインバータG18、G19、G20による遅延時間分だけ“H”となる。

30 【0066】テストモード期間中(図7および図8においては、サイクル2、3の期間に相当)に誤動作が起こった場合、先に説明したようにFAIL信号は“H”になっているので、信号φ3が“H”となった時点で、図3に示す比較結果保持回路14のN型MOSFETQ16およびQ17が導通することになる。ここで、N型MOSFETQ16およびQ17にトランジスタサイズの大きなものを使用することで、電源電位Vccから接地電位Vssにかけて大電流が流れることになり、ヒューズ素子F1が溶断される。すると、N型MOSFETQ16のドレイン電極からインバータG16にかけての経路すなわち、比較結果Dtをテスト結果信号であるGOOD信号として出力する経路(以後PASSラインと呼称)の電位は抵抗素子R1を通じて放電されるので“L”となる。従って、比較結果保持回路14テスト結果信号であるGOOD信号は“L”である。ここで、PASSラインの電位が“L”になった場合、N型MOSFETQ18が導通し、N型MOSFETQ18を介して接地電位に接続される経路が形成されるが、これはGOOD信号の耐ノイズ性を高めるための構成である。

40 【0067】テストモード期間中に誤動作が起こらなかった場合は、FAIL信号は“L”になっているので、N型MOSFETQ16は導通せず、信号φ3が“H”となっても、N型MOSFETQ16およびN型MOSFETQ17を介して電流が流れることはない。このとき、電源電位Vccからヒューズ素子F1を介して流れる電流は抵抗素子R1により制限されるのでヒューズ素子F1は溶断しない。従って、PASSラインは電源電位

Vccからヒューズ素子F1を通じて“H”に充電されたままである。従って、比較結果保持回路14の出力であるGOOD信号は“H”である。

【0068】ここで、このような一連の並列テスト動作に費やす時間は、例えば100個のDRAMチップMをテストする場合には3秒程度である。

【0069】<C. 個別判定動作>以上のように、テスト80を用いてn個のDRAMチップMを並列テストした後、一旦、電源をオフして通常モードに切り換え、テスト80でDRAMチップMに誤動作が生じているか否かを個別に1つ1つチェックする（以後個別判定と呼称）。

【0070】図9にDRAMチップM100の誤動作の有無をテスト80を用いてチェックする場合の構成を示す。図9において、テスト80の入出力端とDRAMチップM100のDQピンとを結ぶ経路は、抵抗素子R3を介して接地電位に接続されている。

【0071】次にDRAMチップM100の動作をチェックする場合のタイミングチャートを図10に示す。図10に示すバーRAS信号のサイクル1が書き込みサイクルであり、サイクル2が読み出しサイクルである。なお、図10において破線は誤動作が起こった場合の動作、実線は誤動作が起こらなかった場合の動作を示す。

【0072】ここで、図2に示す書き込み回路15の動作について説明する。図2において制御回路1から与えられる書き込み回路活性化信号φwは、バーCAS信号およびバーWE信号が“L”のときに“H”になる信号であり、読み出し時には書き込み回路活性化信号φwは“L”になる。書き込み回路活性化信号φwが“L”の場合、すなわち読み出し時には、P型MOSFETQ30とN型MOSFETQ32はともに非導通状態であり、両者の接続ノードはハイインピーダンス状態となる。また、P型MOSFETQ31とN型MOSFETQ33はともに非導通状態であり、両者の接続ノードはハイインピーダンス状態となる。

【0073】一方、書き込み時には書き込み回路活性化信号φwは“H”となり、DQピから与えられる書き込みデータが“H”であるときは、I/O線の電位を“H”に、バーI/O線の電位を“L”にする。また、逆に書き込みデータが“L”であるときは、I/O線の電位を“L”に、バーI/O線の電位を“H”にする。

【0074】<C-1. サイクル1>従って、図10に示すバーRAS信号のサイクル1において、バーCAS信号およびバーWE信号が“L”の期間に、DQピンから与えられる書き込みデータが書き込まれることになり、その時のDQピンから与えられる書き込みデータは“H”である。

【0075】<C-2. サイクル2>次に、サイクル2において書き込んだデータを読み出す。テストモード期間中に誤動作が起こったDRAMチップM100は、図

3に示す比較結果保持回路14のヒューズ素子F1が溶断されているので、電源電位Vccに接続される経路が切断され、PASSラインの電位は抵抗素子R1を介して接地電位となっている。従って、インバータG17の出力、すなわちGOOD信号が“L”となるので、出力バッファ13のNANDゲートG4およびG5の出力が“H”となり、出力バッファ13はサイクル2においてもハイ・インピーダンス状態のままである。従って、DQピンの電位は図9に示す抵抗素子R3を介して接地電位となる。

【0076】一方、テストモード期間中に誤動作が起こらなかったDRAMチップM100は、比較結果保持回路14のヒューズ素子F1が溶断されていないので、電源電位Vccに接続される経路が保持されているので、PASSラインは“H”のままであり、GOOD信号が“H”となり、出力バッファ13からはサイクル1で書き込んだデータ“H”が読み出されることになる。

【0077】このように、ヒューズ素子F1が溶断されているか否かによって比較結果が不揮発的に保持され、DQピンの電位が“H”となるか接地電位となるかをデータ判定回路J1で確認することにより誤動作の有無を検知することができる。

【0078】そして、1つのDRAMチップMに対する個別判定が終了すると、判定済みのDRAMチップMとテスト80との接続を切り離して、次のDRAMチップMに接続し、同様の個別判定動作を行う。従って、DRAMチップMがn個あれば、n回の個別判定動作を行うことになる。

【0079】ただし、個別判定動作に費やす時間は0.5秒程度であるので、例えば100個のDRAMチップMを個別判定するには50秒程度となる。

【0080】<D. 作用および効果>以上説明したように、本発明に係る半導体記憶装置はテスト機構を内蔵しているので、データ判定回路を1つしか備えないコスト的に安価なテストによって並列テストを行い、その後、同じテストを用いて個別に比較結果を判定することにより、スループットを低下させずに半導体記憶装置の良否を判定することができる。

【0081】なお、上記説明において、バーRAS信号のサイクル2およびサイクル3の2サイクルをテストモード期間として並列テストを行う例について示したが、テストモード期間は2サイクルに限られず、任意のサイクル数の期間をテストモード期間テストとしても良い。

【0082】<実施の形態2>

<E. 装置構成>以上説明した本発明に係る半導体記憶装置の実施の形態1では、比較結果保持回路14が、比較結果を反映して溶断するヒューズ素子F1を備えた構成を示したが、ヒューズ素子F1の代わりにフローティング・ゲート・トランジスタを使用した構成でも良い。以下、比較結果保持回路にフローティング・ゲート・ト

ランジスタを使用したDRAMチップM100Aについて説明する。

【0083】図11にDRAMチップM100Aの構成を示す。ここで、図1を用いて説明したDRAMチップM100と同一の構成については同一の符号を付し、重複する説明は省略する。図11においては比較結果保持回路14Aが異なっているだけであるので、以下の説明は比較結果保持回路14Aについてのみ行う。

【0084】＜E-1. 比較結果保持回路＞まず、比較結果保持回路14Aの回路図を示した図12を用いて構成を説明する。図12において比較結果保持回路14Aは、インバータG60～G69、NANDゲートG70、NORゲートG71およびG72、N型MOSFETQ40～Q52、P型MOSFETQ53～Q59、N型フローティング・ゲート・トランジスタFG、抵抗素子R4およびR5、キャパシタC2を有している。

【0085】比較回路11の出力D_tはN型MOSFETQ40のドレイン電極に与えられ、N型MOSFETQ40のソース電極はインバータG60の入力に接続されている。インバータG60にはインバータG61がループ状に接続され、インバータG60の出力はN型MOSFETQ41のドレイン電極およびNANDゲートG70の入力に接続されている。ここで、N型MOSFETQ40のゲート電極には制御回路1から信号φ₄が与えられ、N型MOSFETQ41のゲート電極には信号φ₁が与えられ、ソース電極は接地電位V_{ss}に接続されている。また、NANDゲートG70の一方の入力には制御回路1から信号φ₃が与えられる。

【0086】NANDゲートG70の出力にはインバータG62が接続され、インバータG62の出力は、NORゲートG71およびG72の入力に接続されるとともに、インバータG64にも接続されている。

【0087】P型MOSFETQ53とN型MOSFETQ42、P型MOSFETQ54とN型MOSFETQ43はともに直列に接続され、N型MOSFETQ42およびQ43は接地電位に接続されている。そして、NORゲートG71の出力はN型MOSFETQ42のゲート電極に接続されるとともに、インバータG63にも接続され、インバータG63の出力はN型MOSFETQ43のゲート電極にも接続されている。また、P型MOSFETQ53とN型MOSFETQ42の接続ノードはP型MOSFETQ54のゲート電極に接続され、P型MOSFETQ54とN型MOSFETQ43の接続ノードはP型MOSFETQ53のゲート電極に接続されるとともに、P型MOSFETQ58のゲート電極に接続されている。

【0088】P型MOSFETQ55とN型MOSFETQ44、P型MOSFETQ56とN型MOSFETQ45はともに直列に接続され、N型MOSFETQ44およびQ45は接地電位に接続されている。そして、

インバータG64の出力はN型MOSFETQ44のゲート電極に接続されるとともに、インバータG65にも接続され、インバータG65の出力はN型MOSFETQ45のゲート電極にも接続されている。また、P型MOSFETQ55とN型MOSFETQ44の接続ノードはP型MOSFETQ56のゲート電極に接続され、P型MOSFETQ56とN型MOSFETQ45の接続ノードはP型MOSFETQ55のゲート電極に接続されるとともに、P型MOSFETQ57のゲート電極に接続されている。

【0089】電源電位V_{cc}と接地電位V_{ss}との間には抵抗素子R4とキャパシタC2が直列に接続され、両者の接続ノードにはインバータG66が接続され、インバータG66の出力はNORゲートG72に接続されている。

【0090】N型MOSFETQ47、P型MOSFETQ57、N型MOSFETQ48は電源電位V_{cc}と接地電位V_{ss}との間に順に直列に接続され、NORゲートG72の出力はN型MOSFETQ48のゲート電極に接続されている。ここで、N型MOSFETQ47のゲート電極は電源電位V_{cc}に接続されている。

【0091】そして、N型MOSFETQ48のドレイン電極には、電源電位V_{cc}にドレイン電極を接続したN型MOSFETQ46のソース電極が接続され、N型MOSFETQ46のゲート電極はインバータG66の出力に接続されている。

【0092】N型MOSFETQ49、P型MOSFETQ58、N型MOSFETQ50、N型フローティング・ゲート・トランジスタFG（経路切断素子）はアドレス信号ピンA<0>と接地電位V_{ss}との間に順に直列に接続され、N型MOSFETQ48のドレイン電極はN型フローティング・ゲート・トランジスタFGのゲート電極にも接続されている。ここで、N型MOSFETQ49のゲート電極はアドレス信号ピンA<0>に接続され、N型MOSFETQ49のゲート電極はドレイン電極に接続されている。そして、N型MOSFETQ49とP型MOSFETQ58との接続ノードにはP型MOSFETQ53～Q57のソース電極が共通に接続されている。また、P型MOSFETQ53～Q58のバックゲートはそれぞれのソース電極に接続されている。

【0093】N型フローティング・ゲート・トランジスタFGのドレイン電極は、N型MOSFETQ59のソース電極に接続され、N型MOSFETQ59のドレイン電極はインバータG67に接続され、インバータG67の出力がGOOD信号となる。また、インバータG67の出力はインバータG69に接続され、インバータG69の出力はN型MOSFETQ52のソース電極に接続され、N型MOSFETQ52のドレイン電極はインバータG67の入力に接続されている。

【0094】また、電源電位V_{cc}にドレイン電極が接続

されたN型MOSFETQ51のソース電極は抵抗素子R5の一方端が接続され、抵抗素子R5の他方端はインバータG67の入力に接続されている。そして、N型MOSFETQ51のゲート電極はインバータG66の出力に接続されるとともに、N型MOSFETQ59のゲート電極およびインバータG68の入力にも接続され、インバータG68の出力はN型MOSFETQ52のゲート電極に接続されている。

【0095】<F、並列テスト動作>次に図12と図7および図8に示すタイミングチャートを用いて比較結果保持回路14Aの動作について説明する。電源投入後、一定時間経過するとキャパシタC2が充電され、インバータG66の入力側の電位が“H”となるので、インバータG66の出力側の電位は“L”になる。

【0096】<F-1、サイクル1>図7および図8に示すバーRAS信号のサイクル1において、アドレス信号ピンA<0>の電位を $V_{CC} + 3 | V_{THP} |$ 以上にすると、信号φ1が一定期間“H”なのでNORゲートG71の出力が“L”となり、N型MOSFETQ43が導通してP型MOSFETQ54との接続ノードの電位が“L”となり、P型MOSFETQ58が導通するのでN型MOSFETQ50も導通し、N型MOSFETQ50のソース側の電位が“H”となる。

【0097】また、信号φ3は“L”なのでNANDゲートG70の出力は“H”となり、インバータG62の出力が“L”となる。この場合、インバータG64の出力が“H”となり、N型MOSFETQ44の導通に伴ってP型MOSFETQ56が導通し、N型MOSFETQ45との接続ノードの電位が“H”となる。また、NORゲートG72の出力は“H”となるので、P型MOSFETQ57は非導通に、N型MOSFETQ48は導通するので、N型MOSFETQ48のドレイン電極側電位は“L”となる。

【0098】従って、N型フローティング・ゲート・トランジスタFGのフローティングゲートの電子がドレイン電極側に抜けてN型フローティング・ゲート・トランジスタFGのしきい値が低い値となって初期化される。

【0099】<F-2、サイクル3>図3を用いて説明した比較結果保持回路14と同様に、サイクル1において信号φ1が一定期間“H”となると、インバータG60およびG61で構成されるラッチ回路がリセットされラッチ回路の出力(FAIL信号)は“L”になる。そして、サイクル3において信号φ4が“H”になるタイミングで、比較結果保持回路14AのインバータG60およびG61で構成されるラッチ回路に転送される。FAIL信号は、比較結果Dtが“L”となること、すなわち誤動作の発生により“H”にセットされる。

【0100】<F-3、サイクル4>サイクル4においてアドレス信号ピンA<0>の電位を $V_{CC} + 3 | V_{THP} |$ 以上とし、バーCAS信号をバーRAS信号より先に

“L”とすることで比較結果保持回路14Aに比較結果を保持させる。

【0101】すなわち、FAIL信号が“H”の場合、信号φ3が“H”になると、NANDゲートG70の出力は“L”となり、インバータG62の出力が“H”となる。この場合、NORゲートG70の出力は“L”となり、インバータG63の出力が“H”となってN型MOSFETQ43が導通し、P型MOSFETQ54との接続ノードの電位が“L”となる。

【0102】また、インバータG62の出力が“H”なので、インバータG64の出力が“L”、インバータG45の出力が“H”となり、N型MOSFETQ45が導通し、P型MOSFETQ56との接続ノードの電位が“L”となる。また、NORゲートG72の出力は“L”となるので、P型MOSFETQ57およびQ58は導通し、N型MOSFETQ48は非導通となるので、N型MOSFETQ48のドレイン電極側電位はN型MOSFETQ50のON抵抗によりアドレス信号ピンA<0>の電位よりも低下し、電源電位 V_{CC} よりは高い値となり、N型フローティング・ゲート・トランジスタFGのドレイン電極側電位は、ほぼアドレス信号ピンA<0>の電位となる。

【0103】従ってN型フローティング・ゲート・トランジスタFGのフローティングゲートに電子が注入され、N型フローティング・ゲート・トランジスタFGのしきい値が高くなる。

【0104】FAIL信号が“L”の場合、すなわち誤動作が発生していない場合は信号φ3が“H”になっても、N型MOSFETQ43とP型MOSFETQ54との接続ノードの電位が“H”、P型MOSFETQ56とN型MOSFETQ45との接続ノードの電位が“H”、NORゲートG72の出力は“H”となるので、P型MOSFETQ57およびQ58は非導通に、N型MOSFETQ48は導通するのでN型フローティング・ゲート・トランジスタFGのドレイン電極側電位は“L”であり、N型フローティング・ゲート・トランジスタFGのしきい値は低いままである。すなわち、N型フローティング・ゲート・トランジスタFGがON動作可能か否かによって比較結果が不揮発的に保持されることになる。

【0105】<G、個別判定動作>次に、一旦電源を切り、次にテスト80を用いて個別判定を行うために再び電源を投入すると、一定時間経過するまではキャパシタC2は充電されず、インバータG66の入力側の電位は“L”のままである。従って、インバータG66の出力側の電位は、インバータG66の入力側の電位がインバータG66のしきい値より高くなるまでの時間“H”となる。

【0106】インバータG66の出力側の電位が“H”であると、NORゲートG72の出力は“L”となり、

N型MOSFET Q48が非導通となる。また、N型MOSFET Q46およびQ51は導通することになる。ここで、N型フローティング・ゲート・トランジスタFGのしきい値が低い場合（誤動作が生じていない場合）は、N型フローティング・ゲート・トランジスタFGがONするので、接地電位 V_{ss} に接続される経路が保持されることになり、N型フローティング・ゲート・トランジスタFGのドレイン電極側の電位が“L”となるのでGOOD信号が“H”となる。

【0107】一方、N型フローティング・ゲート・トランジスタFGのしきい値が高い場合（誤動作が生じている場合）は、N型フローティング・ゲート・トランジスタFGがONしないので、接地電位 V_{ss} に接続される経路が切断されることになる。よって、N型フローティング・ゲート・トランジスタFGのドレイン電極側の電位が“H”となるのでGOOD信号が“L”となり、図2を用いて説明した出力バッファ13のNANDゲートG4およびG5の出力が“H”となり、N型MOSFET Q11およびQ12が非導通となって出力バッファ13はハイ・インピーダンス状態のままである。従って、DQピンの電位は図9に示す抵抗素子R3を介して接地電位となり、DRAMチップM100Aに誤動作が生じていることが判明する。

【0108】なお、電源が投入されて一定時間が経過するとキャパシタC2が充電されてインバータG66の入力側の電位が“H”となり、インバータG66の出力側の電位が“L”となる。インバータG66の出力側の電位が“L”になると、N型MOSFET Q46、Q51、Q59は非導通となり、N型MOSFET Q52が導通して、インバータG67およびG69でラッチ回路が形成され、直前のGOOD信号が保持されることになる。

【0109】<H. 作用および効果>以上説明したように、過電流により溶断するヒューズ素子の代わりに、フローティング・ゲート・トランジスタを用いることによっても比較結果保持回路を構成することができる。このように、フローティング・ゲート・トランジスタを経路切断素子として用いることはEEPROMや、EPROMなどを製造する場合には、メモリセルアレイを形成する工程においてフローティング・ゲート・トランジスタを形成することができるのでヒューズ素子を経路切断素子として用いるよりも、製造工程が簡単になるという利点がある。

【0110】<I. 変形例>なお、図12を用いて説明した比較結果保持回路14AのN型フローティング・ゲート・トランジスタFGには、記憶内容を電気的に消去できないいわゆるEEPROM用のフローティング・ゲート・トランジスタを用いたが、記憶内容を紫外線照射により消去するいわゆるEPROM用のフローティング・ゲート・トランジスタを用いても良い。この場合には、

図7および図8に示すバーRAS信号のサイクル1における初期化の動作の代わりに、紫外線を照射する動作が必要になる。

【0111】<実施の形態3>以上説明した本発明に係る半導体記憶装置の実施の形態1および2では、テスト80を用いた個別テストにおいて、誤動作が生じたDRAMチップM100のDQピンが、読み出しサイクルにおいてもハイ・インピーダンス状態になることで誤動作の有無を判定する例を示したが、比較結果保持回路14あるいは14AのGOOD出力によって直接判定しても良い。

【0112】<J. 装置構成>すなわち比較結果保持回路14あるいは14AのGOOD出力を受けて、通常モード時に異常動作をすることで誤動作の発生を示す誤動作指摘回路をDRAMチップM100あるいは100Aにさらに設ける。

【0113】<J-1. 誤動作指摘回路>図13に誤動作指摘回路の一例を示す。図13において誤動作指摘回路16は、アドレス信号ピンA<0>と接地電位 V_{ss} との間に直列に接続された、N型MOSFET Q60およびQ61を有し、N型MOSFET Q60のゲート電極はアドレス信号ピンA<0>に接続され、比較結果保持回路14のGOOD出力はインバータG75に入力され、インバータG75の出力はN型MOSFET Q60のゲート電極に接続されている。

【0114】このような構成の誤動作指摘回路16においては、比較結果保持回路14のGOOD出力が“L”の場合、すなわち誤動作が生じている場合、N型MOSFET Q61が導通して、アドレス信号ピンA<0>と接地電位 V_{ss} との間に電流が流れる。一方、GOOD出力が“H”の場合、すなわち誤動作が生じていない場合はアドレス信号ピンA<0>と接地電位 V_{ss} との間に電流は流れないので、電流の有無を確認することで、誤動作の有無を判定することができる。

【0115】ここで、図14に誤動作指摘回路16を備えたDRAMチップM100Bの構成を示す。図14において、アドレス信号ピンA<0>と接地電位 V_{ss} との間に誤動作指摘回路16が介挿され、誤動作指摘回路16に比較結果保持回路14のGOOD出力が接続されている以外はDRAMチップM100と同様であるので重複する説明は省略する。なお、誤動作指摘回路16を接続するのはアドレス信号ピンA<0>に限られず、バーRAS信号端子やバーCAS信号端子など、信号端子であれば何でも良い。

【0116】<K. 個別判定動作>このような構成のDRAMチップM100Bの動作をチェックするためには、個別判定に使用するテストが電流計を備えていれば良い。図15に電流計を備えたテストを用いてDRAMチップM100Bの動作をチェックする場合の構成を示す。

【0117】図15においてテスト90は、信号ドライバD1に接続された入出力経路のうち、アドレス信号ピンA<0>に接続される経路に電流計AMを備え、電流計AMの一端は電源電位Vccに接続されている。その他はテスト80と同様である。

【0118】このような構成のテスト90を用いて個別判定を行うと、DRAMチップM100Bが誤動作を生じている場合には、電流計AMがアドレス信号ピンA<0>と接地電位Vssとの間に流れる電流を検出するので誤動作の有無を判定することができる。

【0119】また、DRAMチップM100Bにおいては、出力バッファ13にも比較結果保持回路14のGOOD出力が接続されているので、DQピンが、読み出しサイクルにおいてもハイ・インピーダンス状態になることで誤動作の有無を判定することもできる。

【0120】なお、DQピンの出力で誤動作の有無の判定をしない場合には、出力バッファ13には比較結果保持回路14のGOOD出力を接続せず、出力バッファ13の3入力NANDゲートG4およびG5を2入力NANDゲートに変更すれば良い。

【0121】＜実施の形態4＞

＜L. 装置構成＞以上説明した本発明に係る半導体記憶装置の実施の形態1～3では、出力バッファと書き込み回路がDQピンに共通に接続されているDRAMチップMにテスト機構を内蔵した例を示したが、出力バッファがデータ出力端子であるDoutピンに、書き込み回路がデータ入力端子であるDinピンにそれぞれ接続されているようなDRAMチップMにも同様にテスト機構を内蔵することができる。以下、DoutピンおよびDinピンを有するDRAMチップMにテスト機構を内蔵したDRAMチップM100Cについて説明する。

【0122】図16にDRAMチップM100Cの構成を示す。ここで、図1を用いて説明したDRAMチップM100と同一の構成については同一の符号を付し、重複する説明は省略する。図16においては、期待値保持回路12と書き込み回路15がDQピンに代わってデータ入力端子であるDinピンに接続され、出力バッファ13がDQピンに代わってデータ出力端子であるDoutピンに接続されていること以外は図1を用いて説明したDRAMチップM100と同一である。また、図17および図18にDRAMチップM100Cの構成を回路図として示す。なお、図17および図18はCC'線で結合される。

【0123】＜L-1. OEM信号発生回路＞ここで、DoutピンおよびDinピンを有するDRAMチップMは、DQピンを入力用とするか、出力用とするかを指定するバーOEピンを必要しないので、OEM信号およびφ4信号を発生するOEM信号発生回路GC1は図19のように構成される。

【0124】すなわち、図4を用いて説明したOEM信

号発生回路GCの、3入力NORゲートG32が、2入力NORゲートG80に変更される。その他の構成はOEM信号発生回路GCと同様であり、重複する説明は省略する。

【0125】＜M. 並列テスト動作＞次に、DRAMチップM100Cのテスト動作を、図20および図21に示すタイミングチャートを用いて並列テストについて説明する。図20および図21はDD'線で結合される。

【0126】図20および図21においてテストモードの開始と終了、すなわちバーRAS信号のサイクル1とサイクル4については、図6を用いて説明したDRAMチップM100のテスト動作と同様であるので重複する説明は省略する。

【0127】＜M-1. サイクル2＞図20および図21に示すバーRAS信号のサイクル2では、バーRAS信号が“L”に変化する時と、バーCAS信号が“L”に変化する時にはアドレスピンA<0>～A<12>の電位は“L”となっている。また、バーWE信号が“L”になって書き込みサイクルであることが指定されている。従って、このサイクルには、行アドレス（A<0>～A<12>）、列アドレス（A<0>～A<12>）で選択されるメモリセルに、Dinピンに印加された“H”データが書き込まれる。

【0128】＜M-2. サイクル3＞サイクル3は、バーWE信号が“H”なので、読み出しサイクルであるが、バーTEST信号は“L”なので、図19に示すOEM信号発生回路GC1のNORゲートG80の入力の1つには“H”が与えられることになり、他方の入力は何であってNORゲートG80の出力は“L”となり、NANDゲートG35の出力は“H”となってOEM信号は“L”となる。

【0129】OEM信号が“L”であれば、図17に示す出力バッファ13のNANDゲートG4およびG5の出力は他の入力は何であって“H”になる。そして、N型MOSFETQ11およびQ12のゲート電極にはそれぞれインバータG2およびG3を介してNANDゲートG4およびG5の出力が与えられるので、N型MOSFETQ11およびQ12はともに非導通状態となり、出力バッファ13はハイ・インピーダンス状態となる。

【0130】従って、サイクル3においてはテスト80から読み出しデータの期待値DeをDoutピンを介してDRAMチップM100Cに与えることができる。

【0131】期待値保持回路12はインバータG6およびG7で構成されるラッチ回路を備えており、Doutピンに与えられた読み出しデータの期待値Deは、信号φ2が“H”の期間にラッチ回路に転送される。そしてラッチ回路から出力される読み出しデータの期待値Deは比較回路11に与えられ、読み出し回路10から出力される読み出しデータDrと比較される。

【0132】ここで、期待値Deが“H”に対して、読み出しデータDrが“H”となった場合は、正常動作であり、比較回路11から出力される比較結果Dtは

“H”となる。しかし、なんらかの原因で誤動作がおこり、読み出しデータDrが“L”となった場合は比較結果Dtは“L”となる。

【0133】比較結果Dtは、図18に示す比較結果保持回路14に与えられるが、比較結果保持回路14の入力部にはN型MOSFETQ14が設けられている。N型MOSFETQ14のゲート電極には、Doutピンが“L”になった時に、図19に示す直列に接続されたインバータG37、G38、G39による遅延時間分だけ“H”になる信号φ4が与えられる。

【0134】比較結果Dtは信号φ4が“H”の期間に比較結果保持回路14のインバータG14およびG15で構成されるラッチ回路に転送される。ラッチ回路の出力(FAIL信号)は、テストモードに入った時、一定期間“H”になる信号φ1によってN型MOSFETQ15を通じて“L”にリセットされているが、比較結果Dtが“L”となること、すなわち誤動作の発生により“H”にセットされる。

【0135】<N. 作用および効果>以上説明したような構成を採ることにより、出力バッファがDoutピンに、書き込み回路がDinピンにそれぞれ接続され、パ-OEピンを有さないDRAMチップもテスト機構を内蔵することができるので、本発明の適用範囲を広げることができる。

【0136】<O. 変形例>以上説明した本発明に係る半導体記憶装置の実施の形態4では、図16において、期待値保持回路12をDinピンに接続した構成を示したが、Doutピンに接続してテストモード期間中にDoutピンから期待値Deを与えてもよい。

【0137】また、図19においてはDout信号に基づいて信号φ4を発生させる構成を示したが、Din信号に基づいて信号φ4を発生させる構成としても良い。

【0138】<実施の形態5>以上説明した実施の形態1~4において説明したDRAMチップM100~M100Cは、1ビットのデータを記憶する構成を有していたが、実際の半導体記憶装置においては多ビットのデータを取扱うことが一般的である。また、以上の説明においては、テストモード期間中に誤動作が起きたDRAMチップについては、ヒューズ素子を溶断するかフローティング・ゲート・トランジスタをOFF状態にすることで所定の経路を切断し、比較結果を不揮発的に保持する構成について説明したが、テストモード期間中に誤動作が起きなかった場合にのみ経路切断素子(ヒューズ素子あるいはフローティング・ゲート・トランジスタ)により所定の経路を切断し、比較結果を不揮発的に保持しても良いことは言うまでもない。

【0139】以下、本発明に係る半導体記憶装置の実施

の形態5として、多ビットのデータを記憶する半導体記憶装置において、テストモード期間中に誤動作が起きなかった場合にのみヒューズ素子を溶断させる構成について説明する。

【0140】図22および図23に、テスト機構を内蔵したDRAMチップM200の構成を説明するブロック図を示す。図22および図23に示すDRAMチップM200は、4ビットのデータを記憶するための構成を有している。なお、図22および図23はAA'線において結合される。

【0141】<P. 装置構成>図22および図23においてDRAMチップ200は、従来と同様に、パ-RASピン、パ-CASピン、パ-OEピン、パ-WEピン、およびアドレス信号ピンA<0>~A<12>を有する制御回路1Aと、4つのメモリセルアレイ40~43と、メモリセルアレイ40~43にそれぞれ接続された列アドレスデコーダ2および、行アドレスデコーダ3を備えている。

【0142】メモリセルアレイ40~43には、それぞれパ-I/O線、I/O線を介して読み出し回路20~23および書き込み回路30~33が接続されている。そして、読み出し回路20~23には、読み出しデータバスRD<0>~RD<3>がそれぞれ接続され、読み出しデータバスRD<0>~RD<3>には、読み出されたデータを、読み出しバスR<0>~R<3>を介して転送するバッファBAF0~BAF3と、バッファBAF0~BAF3によって転送される読み出しデータを、DQピンDQ<0>~DQ<3>に出力する出力バッファ50~53がそれぞれ接続されている。

【0143】また、読み出しデータバスRD<0>~RD<3>には、読み出された4ビットのデータを1ビットに縮退して縮退データとする縮退回路6が接続され、縮退回路6には縮退データと期待値との比較を行う比較回路7が接続され、比較回路7には、比較回路7における比較結果を保持する比較結果保持回路8とが接続されている。

【0144】なお、後述するように複数のデータを共通化してデータ数を削減することを縮退と呼称している。

【0145】また、読み出しデータバスRD<3>にはデータバス切り替え回路92が接続されており、後述するように縮退回路6における比較結果をDQピンDQ<3>を通じて読み出すことができる。

【0146】書き込み回路30~33には、書き込みデータバスWD<0>~WD<3>がそれぞれ接続され、書き込みデータバスWD<0>~WD<2>には、書き込みデータを選択するセレクト60~62が接続され、セレクト60~62の一方の入力には、書き込みバスW<0>~W<2>を介してDQピンDQ<0>~DQ<2>が接続されている。また、書き込みデータバスWD<3>はバッファBAF7の出力に接続され、バッファBAF7の入力は書き込みパ

スW<3>を介してDQピンDQ<3>に接続されている。そして、セクタ60～62の他方の入力には書き込みバスW<3>が共通に接続されている。

【0147】次に図24～図26を用いて、制御回路1A、読み出し回路20～23、書き込み回路30～33、出力バッファ50～53、セクタ60～62、縮退回路6、比較回路7、比較結果保持回路8の構成について説明する。

【0148】<P-1. 読み出し回路>図24に示すように、読み出し回路20は、図2を用いて説明した読み出し回路10と同様であり、差動増幅器DFで構成されている。そして差動増幅器DFの出力は読み出しデータバスRD<0>に接続されている。なお、この構成は読み出し回路21～23（図示せず）についても同様であり、それぞれの差動増幅器DFの出力は、読み出しデータバスRD<1>～RD<3>に接続されている。

【0149】<P-2. 書き込み回路>図24に示すように、書き込み回路30の構成は、図2を用いて説明した書き込み回路15と同様であるので重複する説明は省略するが、NANDゲートG50の入力には書き込みデータバスWD<0>が接続され、書き込みデータバスWD<0>は、セクタ60のバッファBAF4の出力に接続されている。なお、この構成は書き込み回路31～33についても同様であり、それぞれのNANDゲートG50の入力には書き込みデータバスWD<1>～WD<3>が接続されている。

【0150】<P-3. セクタ>図24に示すように、セクタ60は書き込みバスW<0>にドレイン電極を接続され、ソース電極をバッファBAF4に接続されたN型MOSFETQ70と、書き込みバスW<3>にドレイン電極を接続され、ソース電極をバッファBAF4の入力に接続されたN型MOSFETQ73とを有している。なお、バッファBAF4の出力は書き込みデータバスWD<0>に接続されている。

【0151】また、セクタ61は書き込みバスW<1>にドレイン電極を接続され、ソース電極をバッファBAF5に接続されたN型MOSFETQ71と、書き込みバスW<3>にドレイン電極を接続され、ソース電極をバッファBAF5に接続されたN型MOSFETQ74とを有している。なお、バッファBAF5の出力は書き込みデータバスWD<1>に接続されている。

【0152】また、セクタ62は書き込みバスW<2>にドレイン電極を接続され、ソース電極をバッファBAF6に接続されたN型MOSFETQ72と、書き込みバスW<3>にドレイン電極を接続され、ソース電極をバッファBAF6に接続されたN型MOSFETQ75とを有している。なお、バッファBAF6の出力は書き込みデータバスWD<2>に接続されている。

【0153】そして、N型MOSFETQ70～Q72のゲート電極は、テストゲート信号（以後TG信号と呼

称）が入力されるインバータG85の出力に接続され、N型MOSFETQ73～Q75のゲート電極はインバータG85の入力に接続されている。なお、バッファBAF7の出力は書き込みデータバスWD<3>に接続されている。

【0154】<P-4. 出力バッファ>図25に示すように、出力バッファ50は電源電位Vccと接地電位Vssとの間に直列に接続されたN型MOSFETQ76およびQ77と、インバータG86、3入力NANDゲートG87およびG88と、インバータG89およびG90とを有している。

【0155】N型MOSFETQ76およびQ77の共通接続ノードがDQピンDQ<0>に接続されている。N型MOSFETQ76のゲート電極にはインバータG89の出力が接続され、インバータG89の入力には3入力NANDゲートG87の出力が接続されている。3入力NANDゲートG87の入力には、バーBPT信号、OEM信号、読み出しバスR<0>の信号（すなわち読み出し信号）が与えられる。

【0156】N型MOSFETQ77のゲート電極にはインバータG90の出力が接続され、インバータG90の入力には3入力NANDゲートG88の出力が接続されている。3入力NANDゲートG88の入力には、バーBPT信号、OEM信号、インバータG86の出力が与えられる。また、インバータG86の入力には、読み出しバスR<0>の信号（すなわち読み出し信号）が与えられる。なお、出力バッファ51～53についても同様の構成であるので重複する説明は省略する。

【0157】<P-5. 縮退回路>図25に示すように、縮退回路6は読み出しデータバスRD<0>～RD<3>がいずれにも入力される4入力NANDゲートG91および反転4入力ANDゲートG92と、4入力NANDゲートG91の出力に接続されたインバータG93と、インバータG93および反転4入力ANDゲートG92の出力が入力されるNORゲートG94とを有している。

【0158】<P-6. 比較回路>図25に示すように、比較回路7はイクスクルーシブOR（XOR）ゲートG95とORゲートG96とを有しており、XORゲートG95の一方の入力には縮退回路6のインバータG93の出力が接続され、他方の入力には書き込みバスW<3>が接続されている。

【0159】また、ORゲートG96の一方の入力にはXORゲートG95の出力が接続され、他方の入力には縮退回路6のNORゲートG94の出力が接続されている。

【0160】<P-7. 比較結果保持回路>図25に示すように、比較結果保持回路8は、NANDゲートG97、G98、G100、反転入力ANDゲートG99、NORゲートG101、インバータG102～G104、

N型MOSFETQ78およびQ79、ヒューズ素子F2を有している。

【0161】NANDゲートG97およびG98はリセット・セット・フリップフロップを構成し、反転入力ANDゲート99の一方の入力にはNANDゲートG98の出力が接続され、NANDゲートG100の一方の入力には比較回路7のORゲートG96の出力が接続され、その出力はNANDゲートG98の入力に接続され、NORゲートG101の出力はNANDゲートG100の他方の入力に接続される。

【0162】NORゲートG101の一方の入力にはバーOE信号が入力され、他方の入力には直列に接続されたインバータG102～G104によって反転されたバーOE信号が与えられる。また、NANDゲートG97の入力にはテストモードに入ることを示すバーTESTIN信号が与えられ、反転入力ANDゲート99の他方の入力にはテストモードを終了することを示すバーTESTOUT信号が与えられる。

【0163】N型MOSFETQ78およびQ79のドレイン電極は共にヒューズ素子F2の一方端に接続され、ソース電極は共に接地電位Vssに接続されている。そして、N型MOSFETQ78のゲート電極には反転入力ANDゲートG99の出力が接続され、N型MOSFETQ79のゲート電極にはテスト結果を確認するためのREADRESULT信号が与えられる。なお、ヒューズ素子F2の他方端はアドレス信号ピンA<0>に接続されている。

【0164】<P-8. アドレスバッファ>また、図25に示すようにアドレス信号ピンA<0>にはアドレスバッファ91が接続されている。アドレスバッファ91は、電源電位Vccと接地電位Vssとの間に順に直列に接続されたP型MOSFETQ80、N型MOSFETQ81およびQ82と、ソース電極を電源電位Vccに接続され、ドレイン電極をP型MOSFETQ80のドレイン電極に接続されたP型MOSFETQ83と、P型MOSFETQ80およびQ83のドレイン電極に入力を接続されたインバータG105とを備えている。ここで、アドレス信号ピンA<0>は、P型MOSFETQ80およびN型MOSFETQ81のゲート電極に接続され、インバータQ105の出力は図示しない内部回路に接続されている。

【0165】また、N型MOSFETQ82およびP型MOSFETQ83のゲート電極は、外部に設けられたインバータG106の出力に接続されている。そして、インバータG106の入力には反転入力ORゲートG107の出力が接続され、反転入力ORゲートG107の入力には、アドレスバッファ活性信号（以後EN信号と呼称）およびバーTESTOUT信号が接続されている。

【0166】<P-9. 読み出しデータバス切り替え回

路>図25に示すように、読み出しデータバスRD<3>には、読み出しデータバス切り替え回路92が接続されている。読み出しデータバス切り替え回路92は、縮退回路6のNORゲートG94の出力に接続されたインバータG108と、読み出しデータバスRD<3>に介挿されたN型MOSFETQ84と、インバータG108の出力にドレイン電極を、読み出しデータバスRD<3>にソース電極を接続されたN型MOSFETQ85と、インバータG109とを有している。なお、インバータG109の入力およびN型MOSFETQ85のゲート電極にはTG信号が入力され、N型MOSFETQ85のゲート電極にはインバータG109の出力が接続されている。

【0167】<P-10. テスト制御回路>次に、図26を用いて制御回路1Aに含まれるテスト制御回路TC1の構成について説明する。テスト制御回路TC1はDRAMチップM200のテスト機構を制御するためのバーTESTIN信号、バーTESTOUT信号、READRESULT信号およびTG信号を出力する回路である。

【0168】図26に示すようにテスト制御回路TC1は、反転入力ANDゲートG110およびG121、NANDゲートG111～G120、インバータG122～G126、N型MOSFETQ86～Q88を有している。

【0169】NANDゲートG111およびG112はリセット・セット・フリップフロップを構成し、NANDゲートG111の出力はNANDゲートG113の入力に接続されている。

【0170】また、NANDゲートG113およびG114はリセット・セット・フリップフロップを構成し、NANDゲートG114の出力はインバータG123の入力に接続されている。そしてインバータG123の出力はNANDゲートG115の一方の入力に接続されている。

【0171】ここで、バーCAS信号端子およびバーWE信号端子は、反転入力ANDゲートG110に接続され、反転入力ANDゲートG110の出力はNANDゲートG111の入力に接続されている。バーRAS信号端子はインバータG122の入力に接続され、インバータG122の出力はNANDゲートG112の入力に接続されるとともに、NANDゲートG114の入力にも接続されている。

【0172】N型MOSFETQ86、P型MOSFETQ87、N型MOSFETQ88はこの順に直列に接続され、アドレスピンA<0>は、N型MOSFETQ86のドレイン電極およびゲート電極に接続され、N型MOSFETQ88のソース電極は接地電位Vssに接続されている。また、P型MOSFETQ87およびN型MOSFETQ88のゲート電極は電源電位Vccに接続さ

れ、P型MOSFETQ87のバックゲートは自身のソース電極に接続されている。P型MOSFETQ87のドレイン電極はインバータG124の入力に接続され、インバータG124の出力はインバータG125の入力に接続され、インバータG125の出力はNANDゲートG115の他方の入力に接続されている。

【0173】NANDゲートG115の出力はインバータG126の入力に接続され、インバータG126の出力はNANDゲートG116、G117およびNANDゲートG118のそれぞれ的一方の入力に接続されている。そしてNANDゲートG116の他方の入力には、アドレスピンA<1>が接続され、NANDゲートG116はバーTESTIN信号を出力する。また、NANDゲートG117の他方の入力には、アドレスピンA<2>が接続され、NANDゲートG117はバーTESTOUT信号を出力する。また、ANDゲートG118の他方の入力には、アドレスピンA<3>が接続され、ANDゲートG118はバーTESTRESULT信号を出力する。

【0174】NANDゲートG119およびG120はリセット・セット・フリップフロップを構成し、バーTESTIN信号はNANDゲートG119の入力に与えられ、バーTESTOUT信号はNANDゲートG120の入力に与えられる。

【0175】NANDゲートG120の出力は反転入力ANDゲートG121の一方の入力に接続されるとともに、バーBPT信号として出力される。そして、反転入力NANDゲートG121の他方の入力にはバーMBT信号が与えられ、反転入力NANDゲートG121はTG信号を出力する。

【0176】<Q> マルチビットテスト動作>次にDRAMチップM200の書き込み、読み出しのテストについて説明する。先に説明したように、DRAMチップM200は4ビットのデータを記憶するため、メモリセルアレイ40~43を有している。そこで、書き込み、読み出しのテストはメモリセルアレイ40~43について行う必要があり、これをマルチビットテストと呼称する。

【0177】以下、マルチビットテストについて図24~図26および、DRAMチップM200のテスト動作のタイミングチャートを示した図27を用いて説明する。なお、図27において示される破線は誤動作が起こった場合の動作、実線は誤動作が起こらなかった場合の動作を示す。

【0178】なお、マルチビットテストにおいても、図6を用いて説明した1ビットのデータを取り扱う場合と同様に、1つのテストから複数のDRAMチップに対して信号が与えられる。

【0179】<Q-1. サイクル1>まず、図27に示すタイミングチャートのバーRAS信号のサイクル1に

において、DRAMチップM200の動作モードを通常モードからテストモードに切り換える(テストモードイン)。通常モードからテストモードへの切り換えは、バーRAS信号の“H”から“L”への変化に先だって、バーCAS信号およびバーWE信号を“H”から“L”に変化させ、アドレスピンA<0>の値を $V_{cc} + 3 | V_{THP}$ 以上(V_{THP} はP型MOSFETの閾値)とし、アドレスピンA<1>に“H”を与えることで、バーRAS信号が“H”から“L”に変化するタイミングでバーTESTIN信号が“L”となってテストモードへの切り換えを行う。

【0180】なお、アドレスピンA<0>の値が $V_{cc} + 3 | V_{THP}$ となると、N型MOSFETQ86およびP型MOSFETQ87が導通し、かつN型MOSFETQ88が導通し、N型MOSFETQ88のON抵抗により電圧が発生し、N型MOSFETQ88のドレイン電極の電位が“H”となる。

【0181】なお、アドレスピンA<0>の値が V_{cc} 以下の場合には、N型MOSFETQ86およびP型MOSFETQ87は導通せず、N型MOSFETQ88のドレイン電極の電位が“L”となる。

【0182】なお、図26において、アドレスピンA<1>に“H”を与える場合、アドレスピンA<2>およびA<3>には“L”が与えられ、バーTESTOUT信号およびREADRESULT信号は“H”となっている。そして、バーTESTIN信号が“L”になると、バーTESTOUT信号は“H”なのでバーBPT信号が“L”になる。

【0183】また、バーRAS信号、バーCAS信号、バーWE信号が“H”になると、バーTESTIN信号も“H”になる。なお、バーTESTIN信号が“H”になっても、並列テスト状態であることを示すバーBPT信号は“L”を保持し続ける。従って、反転入力ANDゲートの出力であるTG信号は“H”となる。

【0184】また、このサイクルではバーOE信号は“H”であるので、図25に示す比較結果保持回路8のNANDゲートG98の出力(以後、バーPASS信号と呼称)は“L”となる。

【0185】<Q-2. サイクル2>TG信号は“H”なので、バーRAS信号のサイクル2(書き込みサイクル)では、図24に示すセクタ60~62の、N型MOSFETQ70~Q72がOFF状態に、N型MOSFETQ73~Q75がON状態となり、DQピンDQ<3>からの書き込みデータが、N型MOSFETQ73~Q75を介して書き込みデータバスWD<0>~WD<2>にも転送されるので、DQピンDQ<3>からの書き込みデータがメモリセルアレイ40~43に与えられることになる。従って、書き込みデータバスWD<0>~WD<3>の値は、全て“H”または、全て“L”になる。

【0186】なお、テストモード中はバーBPT信号が

“L”であり、N型MOSFET Q76およびQ77は共に非導通となり、出力バッファ50～53はハイ・インピーダンス状態となり、信号が出力されることはない。

【0187】<Q-3. サイクル3>次に、バーRAS信号のサイクル3（読み出しサイクル）では、バーWE信号は“H”になって読み出しサイクルであることが指定され、メモリセルアレイ40～43に書き込まれたデータが読み出し回路20～23を介して読み出しデータバスRD<0>～RD<3>に読み出される。

【0188】書き込みおよび読み出しで誤動作が起きなかった場合、読み出しデータバスRD<0>～RD<3>の値は、全て“H”または、全て“L”になるはずである。そして、読み出しデータバスRD<0>～RD<3>は、図25に示す縮退回路6の4入力NANDゲートG91および反転4入力ANDゲートG92に接続されているので、誤動作が起きなかった場合、4入力NANDゲートG91の出力は“L”または“H”になり、インバータG93によって反転して出力される。この信号を縮退信号DS1と呼称する。また反転4入力ANDゲートG92の出力（縮退信号DS2と呼称）も“L”または“H”となるが、縮退信号DS1と一致することはない。

【0189】このように、縮退とは複数のデータを共通化してデータ数を削減することを意味する。ここでは、全て“H”または、全て“L”ということ共通化し、4入力NANDゲートG91および反転4入力ANDゲートG92から、“H”または“L”として出力している。

【0190】そして、縮退信号DS1はXORゲートG95において期待値、すなわち書き込みバスW<3>の値と比較される。誤動作が起きなかった場合、読み出しデータバスRD<0>～RD<3>の値は書き込みバスW<3>の値と一緒にあり、縮退信号DS1と読み出しデータバスRD<0>～RD<3>の値は一緒なので、XORゲートG95の出力は“L”となる。

【0191】また、誤動作が起きなかった場合、縮退信号DS1とDS2とは一致しないので、NORゲートG94の出力（以後、FAIL信号と呼称）は“L”となる。

【0192】従って、XORゲートG95の出力およびFAIL信号が与えられるORゲートG96の出力は“L”となる。従って、比較結果保持回路8において、バーOE信号が“L”になった場合でも、バーPASS信号は“L”のままである。

【0193】一方、書き込みおよび読み出しで誤動作が起きた場合、縮退信号DS1とDS2は共に“L”となる。そして、縮退信号DS1はXORゲートG95において期待値、すなわち書き込みバスW<3>の値と比較される。縮退信号DS1と書き込みバスW<3>の値が不-

致であって、縮退信号DS1とDS2が共に“L”の場合、すなわち誤動作が起きた場合、XORゲートG95の出力は“H”となる。

【0194】また、誤動作が起きた場合、縮退信号DS1とDS2が共に“L”になり、FAIL信号は“H”となる。従って、誤動作が起きた場合、ORゲートG96の出力は“H”となる。

【0195】ORゲートG96の出力が“H”になると、比較結果保持回路8において、バーOE信号が

10 “L”になるタイミングでバーPASS信号が“H”となる。

【0196】なお、読み出しデータバス切り替え回路92を介して、縮退回路6における比較結果をDQピンDQ<3>を通じて読み出すことができ、DQピンDQ<3>から比較結果を出力できるように構成すれば、図9を用いて説明した構成により、個別判定を行うこともできる。

【0197】<Q-4. サイクル4>バーRAS信号のサイクル4においてテストモードを終了（テストモードアウト）させる。そのためには、バーRAS信号よりも先にバーCAS信号およびバーOE信号を先に“L”とするとともに、アドレス信号ピンA<0>の電位を $V_{CC} + 3 | V_{THP} |$ 以上にする。アドレス信号ピンA<2>に

“H”を与えることで、図26に示すテスト制御回路TC1において、バーRAS信号が“H”から“L”に変化するタイミングでバーTESTOUT信号が“L”となる。

【0198】テストモード期間中（すなわち、サイクル2およびサイクル3の期間中）に誤動作が起きなかった場合には、バーPASS信号は“L”のままなので、バーTESTOUT信号が“L”となると、図25に示す比較結果保持回路8の反転入力ANDゲートG99の出力（以後、GOOD信号と呼称）は“H”となる。なお、GOOD信号は誤動作が起きなかった場合には“H”となり、誤動作が起きた場合は“L”となるのでテスト結果を反映した信号であると言える。従って、比較結果保持回路8のうち反転入力ANDゲートG99を含む前段の回路はテスト結果出力回路と呼称することもできる。

【0199】ここで、アドレス信号ピンA<0>の電位は40 $V_{CC} + 3 | V_{THP} |$ 以上となっているので、GOOD信号が“H”となってN型MOSFET Q78が導通すると、ヒューズ素子F2に過電流が流れて溶断する。

【0200】一方、テストモード期間中に誤動作が起きた場合には、バーPASS信号は“H”となるので、バーTESTOUT信号が“L”となっても、GOOD信号は“L”である。従って、N型MOSFET Q78は非導通なので、ヒューズ素子F2は溶断しない。

【0201】<R. 入力バッファの破壊防止>ここで、アドレス信号ピンA<0>には $V_{CC} + 3 | V_{THP} |$ 以上の電位を与え、テストモード期間中に誤動作が起きなかった

場合にはヒューズ素子F 2に過電流が流れて溶断するが、アドレス信号ピンA<0>にはアドレスバッファ91が接続されているので、アドレスバッファ91内のトランジスタを保護する必要がある。

【0202】サイクル4においてはバーTESTOUT信号が“L”となる。このとき、EN信号は“H”であるので、反転入力ORゲートG107の出力が“H”となり、インバータG108の出力が“L”となってP型MOSFETQ83が導通する。

【0203】P型MOSFETQ83が導通すると、P型MOSFETQ80およびN型MOSFETQ81のドレイン電極が電源電位Vccとなるので、アドレス信号ピンA<0>には $V_{cc} + 3 | V_{THP} |$ 以上の電位を与えた場合でも、P型MOSFETQ80およびN型MOSFETQ81のゲート酸化膜にかかる電圧が小さくなるので、両トランジスタが破壊されることが防止される。

【0204】なお、サイクル4以外ではバーTESTOUT信号は“H”であるので、アドレス信号ピンA<0>からアドレス信号を入力したい場合には、EN信号を“H”とすることで、インバータG106の出力が“H”となって、N型MOSFETQ82が導通し、P型MOSFETQ80およびN型MOSFETQ81が通常のバッファとして動作する。

【0205】<S. 個別判定動作>以上のように、1つのテストを用いて複数のDRAMチップを並列テストした後、同じテストを用いて個々のDRAMチップに誤動作が生じているか否かをチェックする（以後個別判定と呼称）。

【0206】図28にDRAMチップM200の個別判定動作を行うための構成を示す。図28において、テスト93内にはアドレス信号ピンA<0>に接続される経路に電流計AMを備え、電流計AMの一端は $V_{cc} + 3 | V_{THP} |$ の電位に接続されている。なお、テスト93とDRAMチップM200との間にはこの経路以外に、実際にはDRAMチップM200のバーRASピン、バーCASピン、バーOEピン、バーWEピン、およびアドレス信号ピンにも所定の信号を与えるための経路を有している。

【0207】次にDRAMチップM200の動作をチェックする場合のタイミングチャートを図29に示す。図29において、バーRAS信号の“H”から“L”への変化に先だって、バーCAS信号およびバーWE信号を“H”から“L”に変化させ、アドレス信号ピンA<0>の値を $V_{cc} + 3 | V_{THP} |$ 以上（ V_{THP} はP型MOSFETの閾値）とし、アドレス信号ピンA<3>の値を“H”とすることで、バーRAS信号が“H”から“L”に変化するタイミングで、図26に示すANDゲートG118の出力であるREADRESULT信号が“H”になる。

【0208】READRESULT信号が“H”になる

と、図25に示す比較結果保持回路8において、N型MOSFETQ79が導通する。そして、ヒューズ素子F2が溶断されていない場合（すなわち、並列テスト時に誤動作した場合）は、アドレス信号ピンA<0>から接地電位Vssに電流が流れ、テスト93の電流計AMに検知される。

【0209】一方、ヒューズ素子が溶断されてない場合（すなわち、並列テスト時に誤動作しなかった場合）は、アドレス信号ピンA<0>から接地電位Vssには電流が流れない。

【0210】このように、ヒューズ素子F2が溶断されているか否かによって比較結果が不揮発的に保持され、テスト83の電流計AMに電流が流れるか否かによって誤動作の有無を検知することができる。

【0211】そして、1つのDRAMチップM200に対する個別判定が終了すると、判定済みのDRAMチップM200とテスト83との接続を切り離して、次のDRAMチップM200に接続し、同様の個別判定動作を行う。従って、DRAMチップM200がn個あれば、n回の個別判定動作を行うことになる。

【0212】ただし、個別判定動作に費やす時間は0.5秒程度であるので、例えば100個のDRAMチップM200を個別判定するには50秒程度となる。

【0213】<T. 作用および効果>以上説明したように、本発明に係る半導体記憶装置の実施の形態5は、多ビットの読み出しデータを1ビットのデータに縮退してから期待値と比較するようにしたので、多ビットの読み出しデータを個々に比較する場合に比べて比較回路などの構成が簡単化され、テスト機構を小さくできる。

【0214】また、並列テスト時に誤動作しなかった場合にはヒューズ素子F2を溶断するようにしたので、並列テストを施されていないDRAMチップが誤動作しなかったチップ（以後、パスチップと呼称）として出荷されることが防止される。

【0215】すなわち、並列テスト時に被験体となるDRAMチップM200が所定のテストソケットに装着されておらず、並列テストが実施されなかったDRAMチップM200は当然ヒューズ素子F2は溶断されていない。従って、個別判定においては電流が検知され、並列テスト時に誤動作したチップとして処理されることになる。

【0216】また、アドレス信号ピンA<0>に $V_{cc} + 3 | V_{THP} |$ 以上の電位を与えた場合でも、アドレスバッファ91のP型MOSFETQ80およびN型MOSFETQ81のゲート酸化膜にかかる電圧が小さくなるので、両トランジスタが破壊されることが防止され、通常動作時にアドレス信号を書き込むことができなくなるといった不具合を防止することができる。

【0217】<U. 変形例>図26を用いて説明したテスト制御回路TC1は、NANDゲートG111および

G112で構成されるリセット・セット・フリップフロップと、NANDゲートG113およびG114で構成されるリセット・セット・フリップフロップを有しており、バーRAS信号の“H”から“L”への変化に先だって、バーCAS信号およびバーWE信号を“H”から“L”に変化させる、いわゆるWCBR動作を行うことで並列テストの開始および終了信号を出力していたが、この構成に限定されるものではない。

【0218】すなわち、図26に示す破線領域Xを図30に示すような構成に変更し、テスト制御回路TC2とし、入力信号を図31に示すようなタイミングで与えても良い。

【0219】図30において、テスト制御回路TC2は、インバータG130～G134およびNANDゲートG135によって構成される信号入力回路N1と、インバータG140～G144およびNANDゲートG145によって構成される信号入力回路N2と、インバータG150～G154およびNANDゲートG155によって構成される信号入力回路N3と、インバータG160～G164およびNANDゲートG165によって構成される信号入力回路N4と、インバータG170～G174およびNANDゲートG175によって構成される信号入力回路N5と、信号入力回路N1～N5の出力が接続される5入力NANDゲートG180と、当該5入力NANDゲートG180の出力を反転するインバータG181とを有している。

【0220】信号入力回路N1においては、バーRAS信号をインバータG130～G134を介してNANDゲートG135に入力するとともに、インバータG130を介してバーRAS信号を反転してNANDゲートG135に入力し、NANDゲートG135の出力をインバータG134で反転して出力する構成となっている。

【0221】信号入力回路N2においては、バーCAS信号をインバータG140～G144を介してNANDゲートG145に入力するとともに、インバータG140を介してバーCAS信号を反転してNANDゲートG145に入力し、NANDゲートG145の出力をインバータG144で反転して出力する構成となっている。

【0222】信号入力回路N3においては、バーWE信号をインバータG150～G154を介してNANDゲートG155に入力するとともに、インバータG150を介してバーWE信号を反転してNANDゲートG155に入力し、NANDゲートG155の出力をインバータG154で反転して出力する構成となっている。

【0223】信号入力回路N4においては、バーOE信号をインバータG160～G164を介してNANDゲートG165に入力するとともに、インバータG160を介してバーOE信号を反転してNANDゲートG165に入力し、NANDゲートG165の出力をインバータG164で反転して出力する構成となっている。

【0224】信号入力回路N5においては、DQピンDQ<3>に入力される信号をインバータG170～G174を介してNANDゲートG175に入力するとともに、インバータG170を介してDQピンDQ<3>に入力される信号を反転してNANDゲートG175に入力し、NANDゲートG175の出力をインバータG174で反転して出力する構成となっている。なお、図30に示す以外の構成についてはテスト制御回路TC1と同様であるので説明および図示は省略する。

10 【0225】このような構成においては、図31に示すようにバーRAS信号、バーCAS信号、バーWE信号、バーOE信号、DQピンDQ<3>に入力される信号を同時に“H”から“L”に変化させることで、並列テストの開始および終了信号を出力することができる。

【0226】このような構成にすることによる効果は、バーRAS信号、バーCAS信号、バーWE信号、バーOE信号、DQピンDQ<3>に入力される信号が全て与えられていないと並列テストの開始および終了ができないことになり、いずれかの信号が欠如した状態で並列テストが実行されることが防止される。

20 【0227】

【発明の効果】本発明に係る請求項1記載の半導体記憶装置によれば、データの入力および出力が兼用されるデータ入出力端子を備える半導体記憶装置において、期待値データと読み出しデータとの比較結果を比較結果保持手段に不揮発的に保持し、比較結果を反映したテスト結果信号を出力することで、書き込みおよび読み出しの動作の正誤を外部に示すことができるので、いわゆる、書き込みおよび読み出しの動作テストを行う機能を内蔵していることになり、複数の半導体記憶装置に対して書き込みおよび読み出しの動作テストを並列して行う場合に、個々の半導体記憶装置に対して装置外部に書き込みおよび読み出しの動作テストを行うためのテスト装置を接続する必要がなくなるので、テストのためのコストを削減することができる。

【0228】本発明に係る請求項2記載の半導体記憶装置によれば、データ入出力端子を介して外部から期待値データを入力する際には出力手段が高インピーダンス状態になるので、データの入力および出力が兼用されるデータ入出力端子を備える半導体記憶装置において、期待値データを期待値保持手段に与えることができ、読み出しデータと期待値データとが一致しない場合には、読み出しサイクルにおいて出力手段が高インピーダンス状態になるので、データを読み出すことができず、書き込みおよび読み出しの動作に誤りが生じたことを知ることができる。また、データ入出力端子を備える半導体記憶装置においては、OE信号入力端子から入力されるOE信号に基づいた制御信号で比較結果を保持するタイミングを指示することができる。

50 【0229】本発明に係る請求項3記載の半導体記憶装

置によれば、データの入力および出力を行うデータ入力端子およびデータ出力端子を備える半導体記憶装置において、期待値データと読み出しデータとの比較結果を比較結果保持手段に不揮発的に保持し、比較結果を反映したテスト結果信号を出力することで、書き込みおよび読み出しの動作の正誤を外部に示すことができるので、いわゆる、書き込みおよび読み出しの動作テストを行う機能を内蔵していることになり、複数の半導体記憶装置に対して書き込みおよび読み出しの動作テストを並列して行う場合に、個々の半導体記憶装置に対して装置外部に書き込みおよび読み出しの動作テストを行うためのテスト装置を接続する必要がなくなるので、テストのためのコストを削減することができる。

【0230】本発明に係る請求項4記載の半導体記憶装置によれば、データの出力を指示する信号をデータ出力端子を介して制御手段に入力する際には出力手段が高インピーダンス状態になるので、データ出力端子を介してデータの出力を指示する信号を制御手段に与えることができ、読み出しデータと期待値データとが一致しない場合には、読み出しサイクルにおいて出力手段が高インピーダンス状態になるので、データを読み出すことができず、書き込みおよび読み出しの動作に誤りが生じたことを知ることができる。また、データ出力端子から出力を指示するデータの出力を指示する信号を入力するので、データ入力端子およびデータ出力端子を備え、OE信号入力端子を有さない半導体記憶装置においても比較結果を保持するタイミングを指示することができる。

【0231】本発明に係る請求項5記載の半導体記憶装置によれば、データ出力端子を介して外部から期待値データを入力する際には出力手段が高インピーダンス状態になるので、データ出力端子を介して期待値データを期待値保持手段に与えることができ、読み出しデータと期待値データとが一致しない場合には、読み出しサイクルにおいて出力手段が高インピーダンス状態になるので、データを読み出すことができず、書き込みおよび読み出しの動作に誤りが生じたことを知ることができる。また、データ入力端子から出力を指示するデータの出力を指示する信号を入力するので、データ入力端子およびデータ出力端子を備え、OE信号入力端子を有さない半導体記憶装置においても比較結果を保持するタイミングを指示することができる。

【0232】本発明に係る請求項6記載の半導体記憶装置によれば、制御手段の信号入力端子の1つと接地電位との間に電流が流れることによっても、書き込みおよび読み出しの動作に誤りが生じていることを知ることができるので、読み出しサイクルにおいて出力手段が高インピーダンス状態になることをもって書き込みおよび読み出しの動作の誤りを示す必要がなくなり、出力手段の構成を簡略化することができる。

【0233】本発明に係る請求項7記載の半導体記憶装 50

置によれば、比較結果保持手段は比較結果を受けて、期待値データと読み出しデータとが一致しない場合には第1の経路の接続を断ち、期待値データと読み出しデータとが一致する場合には第1の経路の接続を保つように制御されるので、第1の経路が断たれているか否かで比較結果を保持することになり、比較結果保持手段を簡単な構成とすることができる。

【0234】本発明に係る請求項8記載の半導体記憶装置によれば、経路切断素子をヒューズ素子とし、期待値データと読み出しデータとが一致しない場合には、ヒューズ素子に過電流を流して熔断させることで第1の経路の接続を断つので、比較結果を不揮発的に保持する構成が極めて簡単な構成で得られる。

【0235】本発明に係る請求項9記載の半導体記憶装置によれば、経路切断素子をフローティング・ゲート・トランジスタとし、期待値データと読み出しデータとが一致しない場合には、フローティング・ゲート・トランジスタが導通することを阻止することで第1の経路の接続を断つので、フローティング・ゲートに蓄積された電荷を抜き取る、いわゆる初期化を行わない限り比較結果を不揮発的に保持することができる。また、経路切断素子をフローティング・ゲート・トランジスタとするので、フローティング・ゲート・トランジスタを用いたEEPROMやEPROMなどに書き込みおよび読み出しの動作テストを行う機能を内蔵する場合に適している。

【0236】本発明に係る請求項10記載の半導体記憶装置によれば、複数のメモリアルレイに個々にデータの書き込み、読み出しを行う半導体記憶装置において、複数のデータを縮退して少なくとも1の縮退データとし、第1のデータ入出力端子からの書き込みデータとの比較結果を比較結果保持手段に不揮発的に保持するので、当該比較結果を調べることで、書き込みおよび読み出しの動作の正誤を確認できるので、いわゆる、書き込みおよび読み出しの動作テストを行う機能を内蔵していることになる。従って、複数の半導体記憶装置に対して多ビットデータの書き込みおよび読み出しの動作テストを並列して行う場合に、個々の半導体記憶装置に対して装置外部に書き込みおよび読み出しの動作テストを行うためのテスト装置を接続する必要がなくなるので、テストのためのコストを削減することができる。また、複数のデータを縮退する縮退手段を備えるので、多ビットの読み出しデータを個々に比較する場合に比べて比較手段などの構成が簡単化され、テスト機構を小さくできる。

【0237】本発明に係る請求項11記載の半導体記憶装置によれば、複数のデータ入出力端子を介して外部から複数の書き込みデータを入力する際には出力手段が高インピーダンス状態になるので、データの入力および出力が兼用されるデータ入出力端子を複数備える半導体記憶装置において、少なくとも1の縮退データと比較するため書き込みデータを比較手段に与えることができる。

【0238】本発明に係る請求項12記載の半導体記憶装置によれば、第1のデータ入出力端子からの書き込みデータと少なくとも1の縮退データとが一致する場合に、ヒューズ素子に過電流を流し、ヒューズ素子を溶断することで経路の接続を断つので、当該経路には以後電流を流すことができなくなる。よって、並列テストを施されていない半導体記憶装置に対して誤動作しなかった製品として出荷されることが防止される。

【0239】本発明に係る請求項13記載の半導体記憶装置によれば、前記ヒューズ素子を溶断する際に、前記第1および第2のMOSトランジスタのゲート電極に電源電位よりも高い第1の電位が印加されても、前記第1および第2のMOSトランジスタのゲート酸化膜にかかる電圧が小さくなるので、両トランジスタが破壊されることが防止され、通常動作時にアドレス信号を書き込むことができなくなるといった不具合を防止することができる。

【図面の簡単な説明】

【図1】 本発明に係る半導体記憶装置の実施の形態1の構成を説明するブロック図である。

【図2】 本発明に係る半導体記憶装置の実施の形態1の構成を説明する回路図である。

【図3】 本発明に係る半導体記憶装置の実施の形態1の構成を説明する回路図である。

【図4】 本発明に係る半導体記憶装置の実施の形態1のテスト制御回路の構成を説明する回路図である。

【図5】 本発明に係る半導体記憶装置の実施の形態1のOEM信号発生回路の構成を説明する回路図である。

【図6】 本発明に係る半導体記憶装置を用いて並列テストを行う場合の構成図である。

【図7】 本発明に係る半導体記憶装置の実施の形態1を用いて並列テストを行う場合のタイミングチャートである。

【図8】 本発明に係る半導体記憶装置の実施の形態1を用いて並列テストを行う場合のタイミングチャートである。

【図9】 本発明に係る半導体記憶装置の実施の形態1を用いて個別判定を行う場合の構成図である。

【図10】 本発明に係る半導体記憶装置の実施の形態1を用いて個別判定を行う場合のタイミングチャートである。

【図11】 本発明に係る半導体記憶装置の実施の形態2の構成を説明するブロック図である。

【図12】 本発明に係る半導体記憶装置の実施の形態2のテスト結果保持回路の構成を説明する回路図である。

【図13】 本発明に係る半導体記憶装置の実施の形態3の誤動作指摘回路の構成を説明する回路図である。

【図14】 本発明に係る半導体記憶装置の実施の形態3の構成を説明するブロック図である。

【図15】 本発明に係る半導体記憶装置の実施の形態3を用いて個別判定を行う場合の構成図である。

【図16】 本発明に係る半導体記憶装置の実施の形態4の構成を説明するブロック図である。

【図17】 本発明に係る半導体記憶装置の実施の形態4の構成を説明する回路図である。

【図18】 本発明に係る半導体記憶装置の実施の形態4の構成を説明する回路図である。

【図19】 本発明に係る半導体記憶装置の実施の形態4のOEM信号発生回路の構成を説明する回路図である。

【図20】 本発明に係る半導体記憶装置の実施の形態4を用いて並列テストを行う場合のタイミングチャートである。

【図21】 本発明に係る半導体記憶装置の実施の形態4を用いて並列テストを行う場合のタイミングチャートである。

【図22】 本発明に係る半導体記憶装置の実施の形態5の構成を説明するブロック図である。

【図23】 本発明に係る半導体記憶装置の実施の形態5の構成を説明するブロック図である。

【図24】 本発明に係る半導体記憶装置の実施の形態5の構成を説明する回路図である。

【図25】 本発明に係る半導体記憶装置の実施の形態5の構成を説明する回路図である。

【図26】 本発明に係る半導体記憶装置の実施の形態5の構成を説明する回路図である。

【図27】 本発明に係る半導体記憶装置の実施の形態5を用いて並列テストを行う場合のタイミングチャートである。

【図28】 本発明に係る半導体記憶装置の実施の形態5を用いて個別判定を行う場合の構成図である。

【図29】 本発明に係る半導体記憶装置の実施の形態5を用いて個別判定を行う場合のタイミングチャートである。

【図30】 本発明に係る半導体記憶装置の実施の形態5の変形例を説明する回路図である。

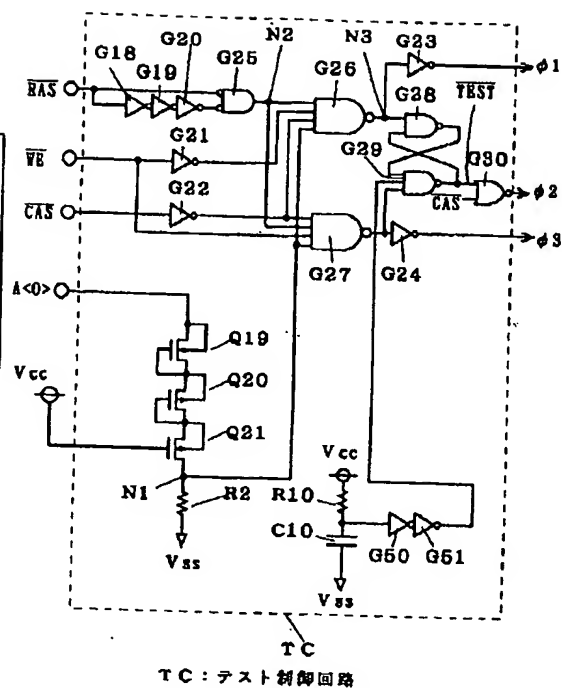
【図31】 本発明に係る半導体記憶装置の実施の形態5の変形例の動作を説明するタイミングチャートである。

【図32】 従来の半導体記憶装置を用いて並列テストを行う場合の構成図である。

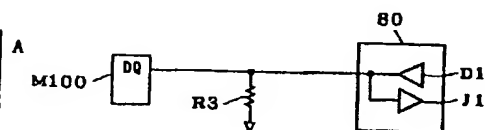
【符号の説明】

F1, F2 ヒューズ素子(経路切断素子)、FG フローティング・ゲート・トランジスタ(経路切断素子)、TC, TC1, TC2 テスト制御回路、GC, GC1 OEM信号発生回路、80, 90 テスタ、D1 信号ドライバ、J1 データ判定回路、Din データ入力端子、Dout データ出力端子、AM 電流計。

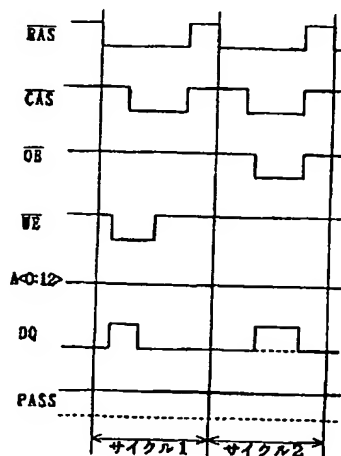
【図4】



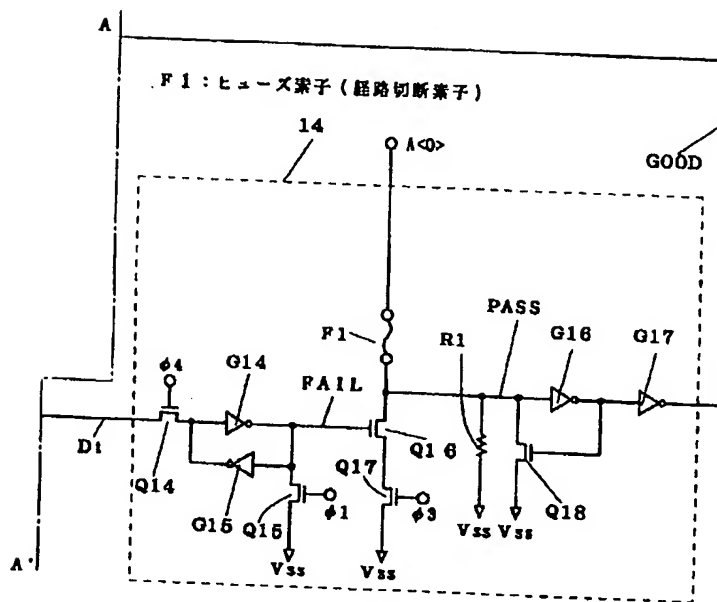
【図9】



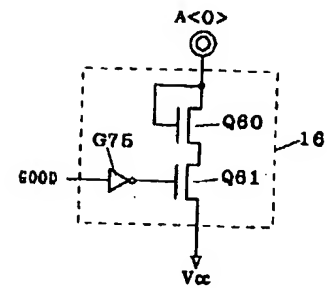
【図 10】



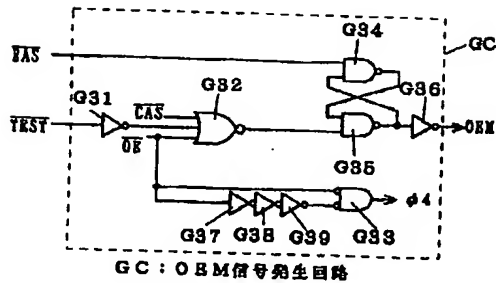
【図3】



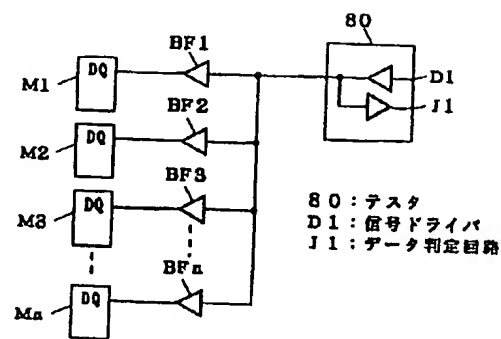
【図13】



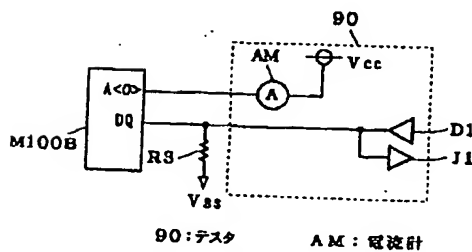
【図5】



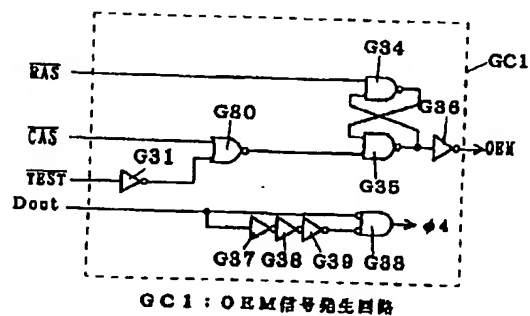
【図6】



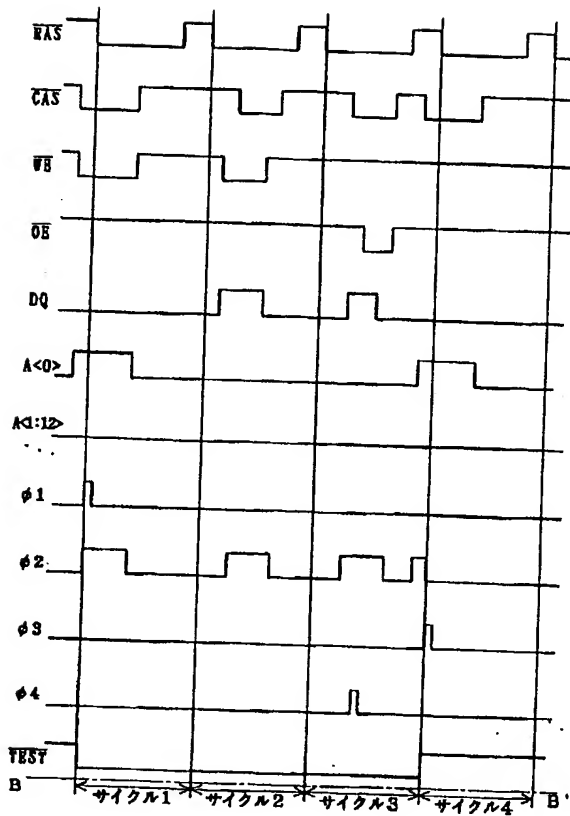
【図15】



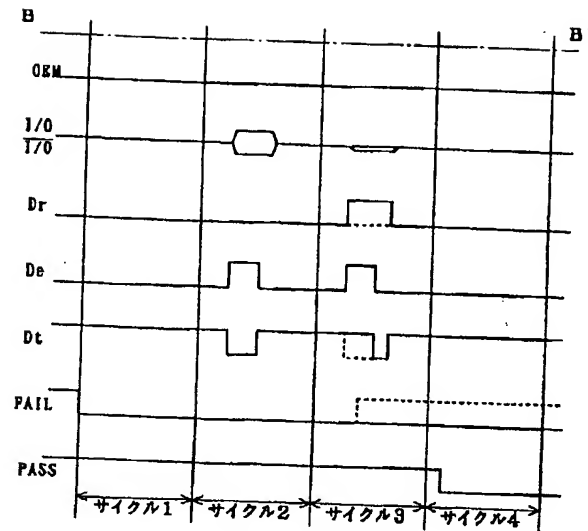
【図19】



【図7】

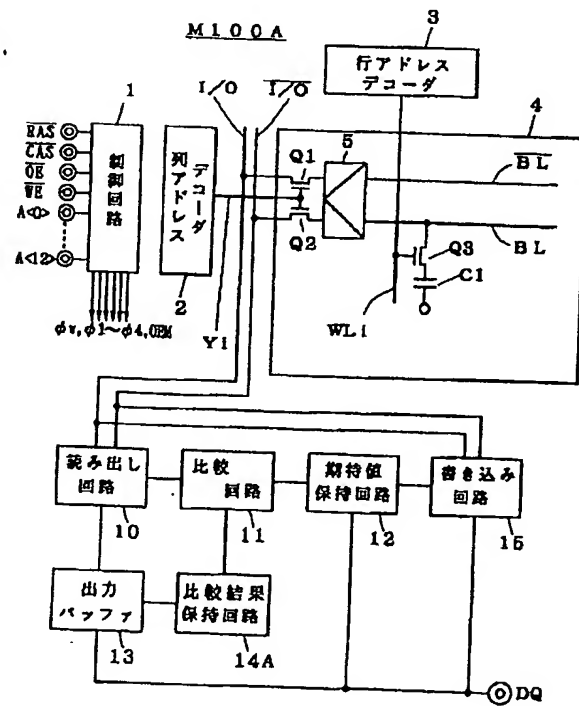
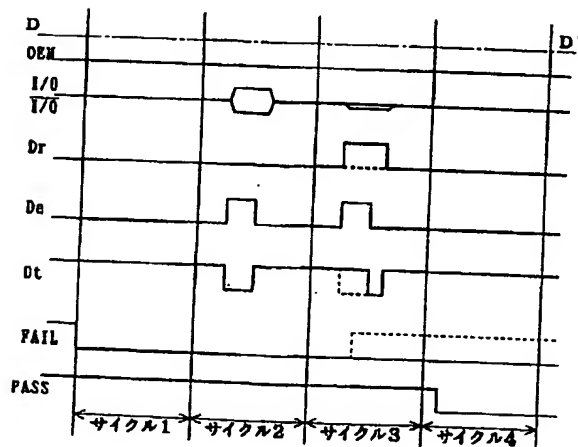


【図8】

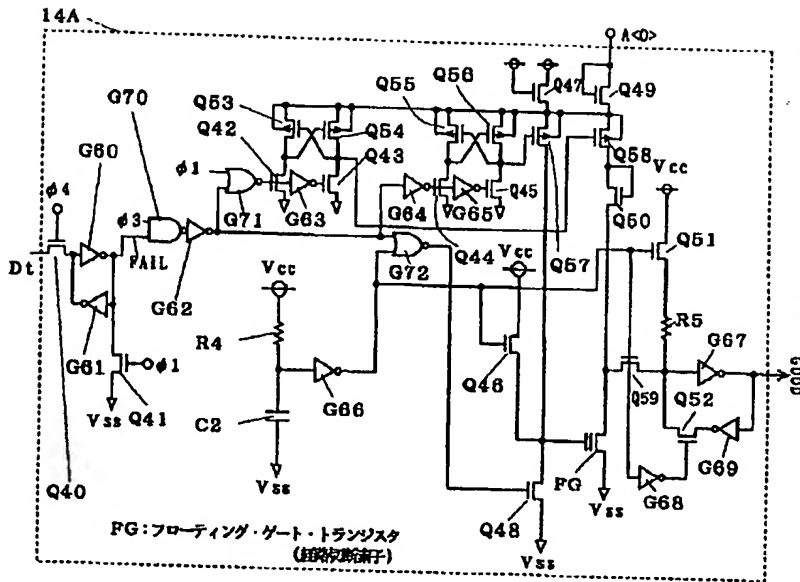


【図11】

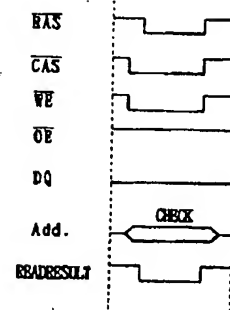
【図21】



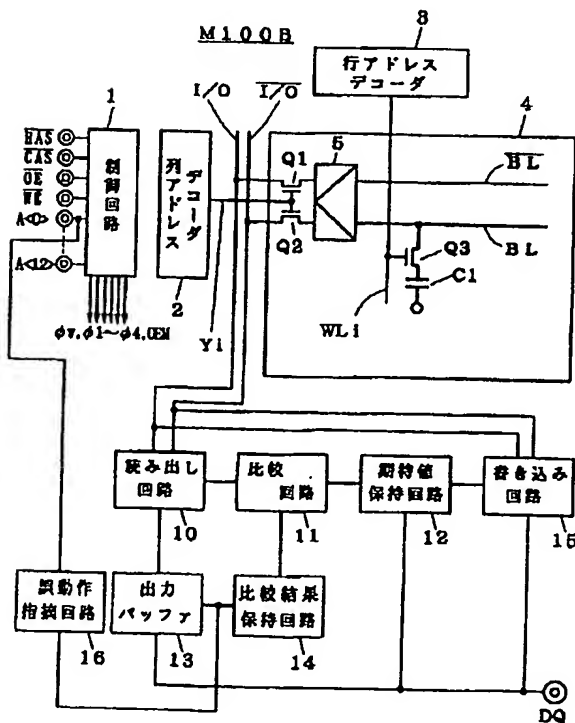
【図12】



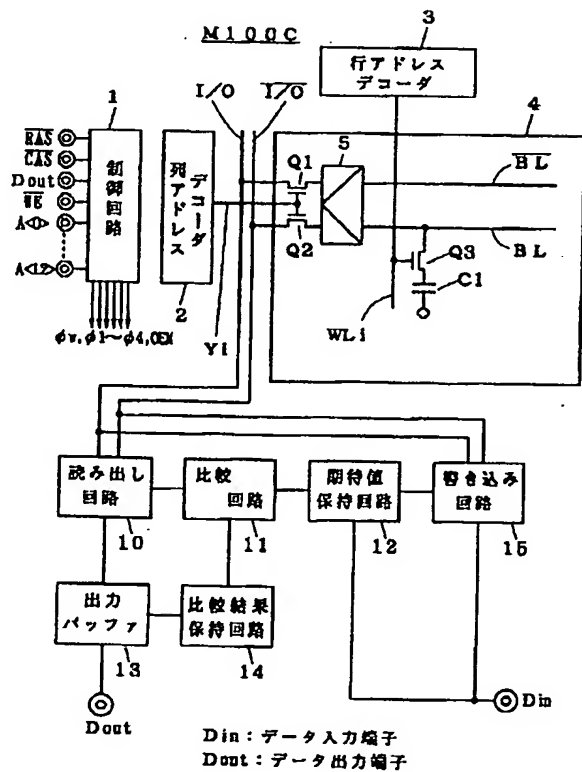
【図29】



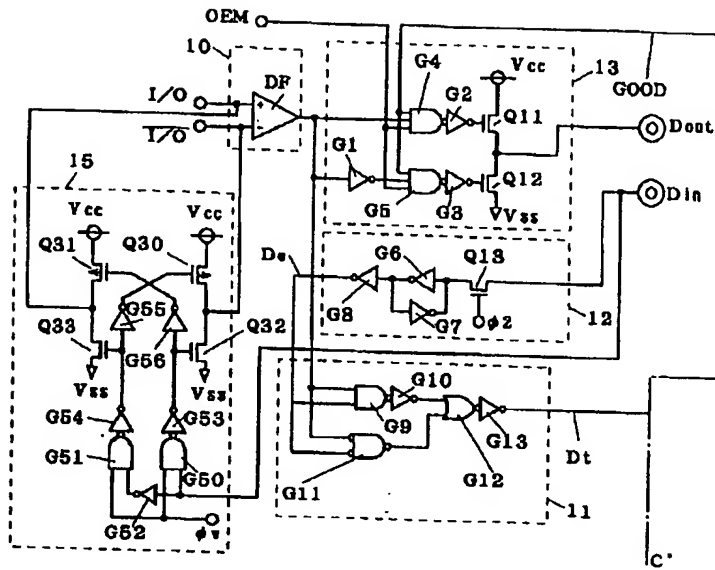
【図14】



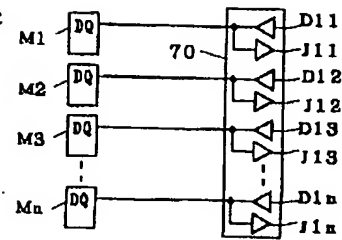
【図16】



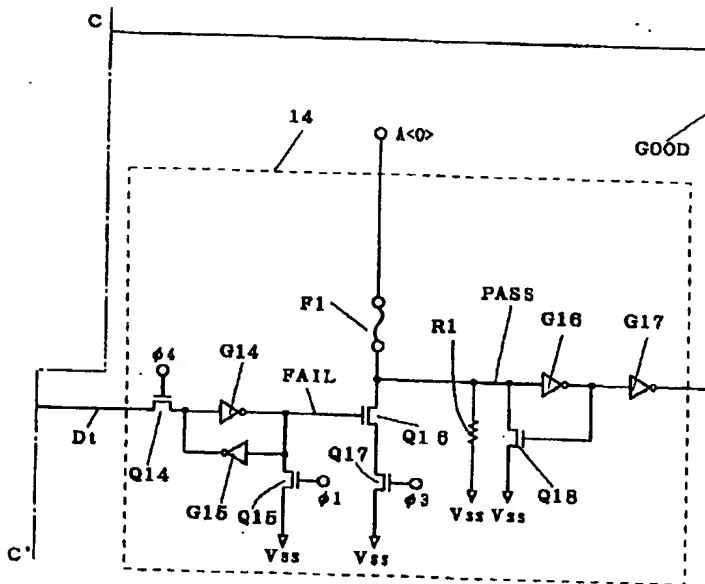
【図17】



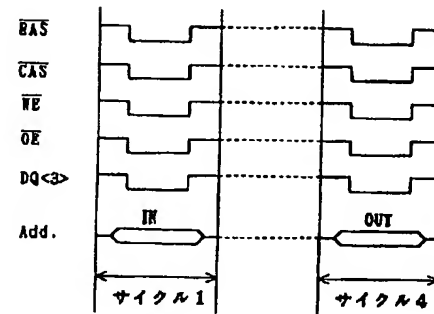
【図32】



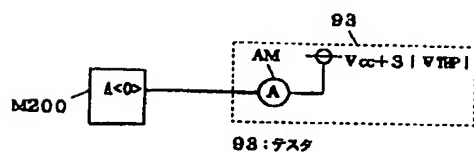
【図18】



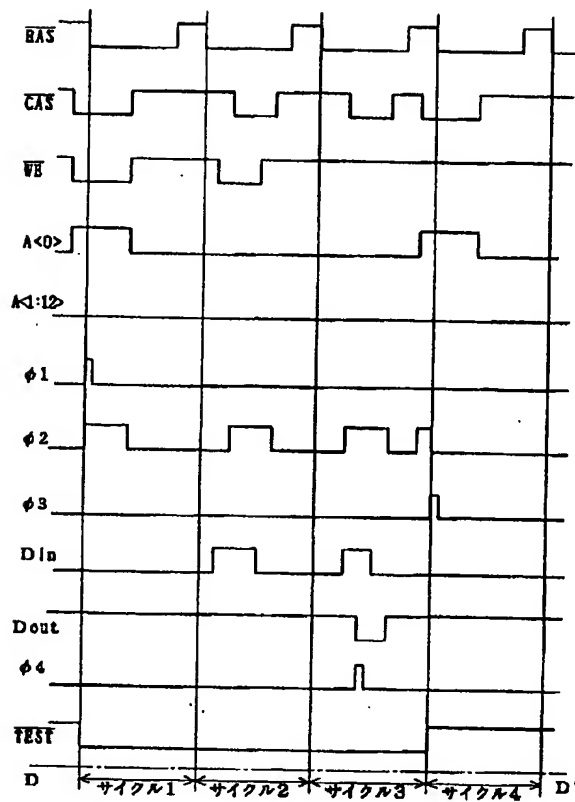
【図31】



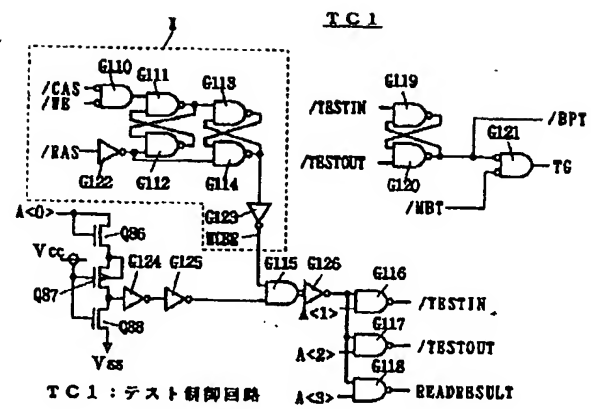
【図28】



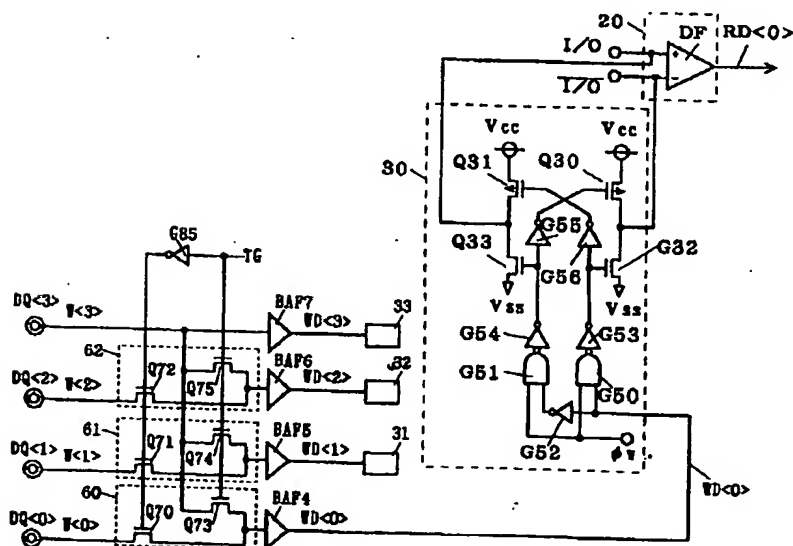
【図20】



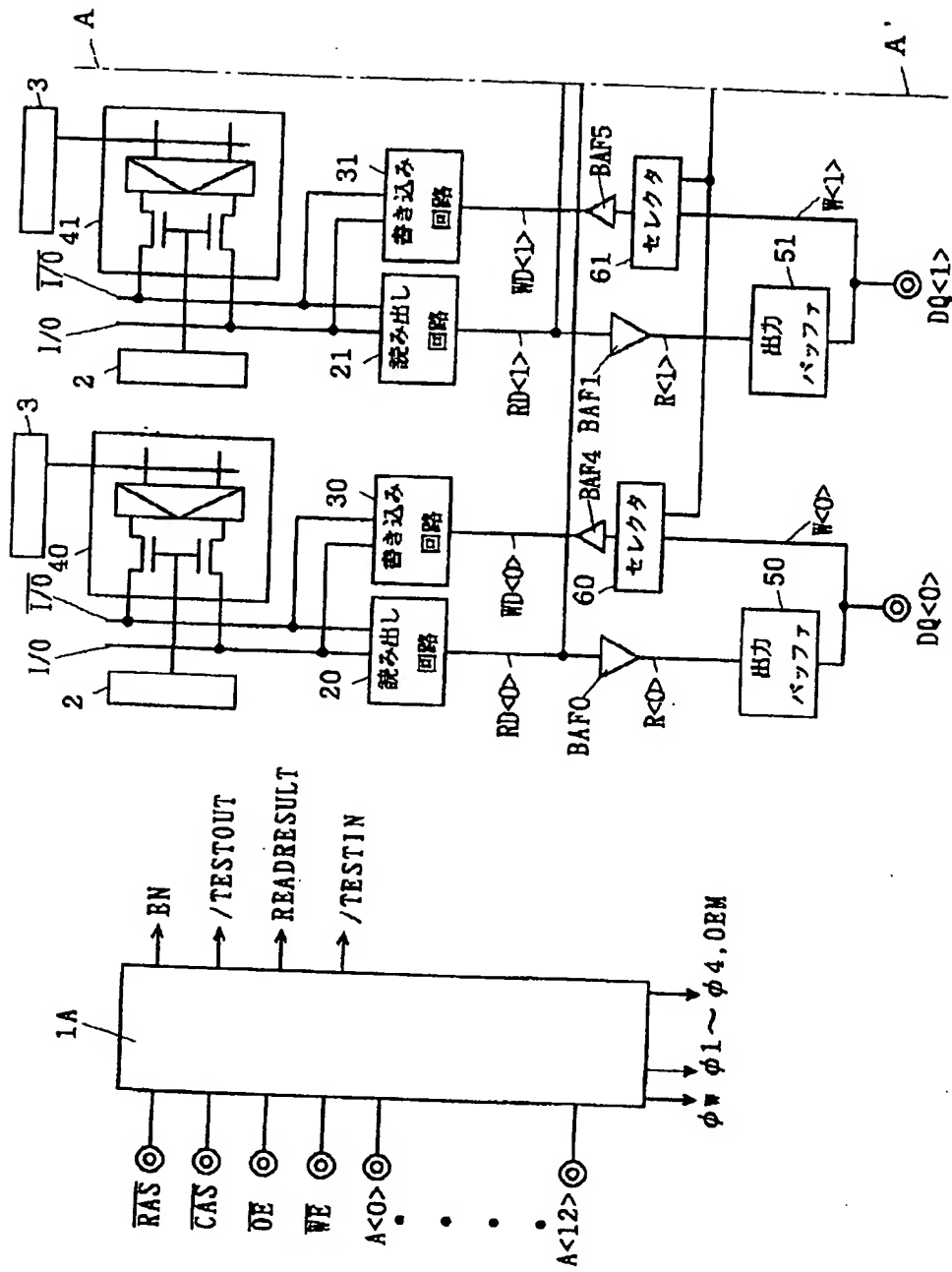
【図26】



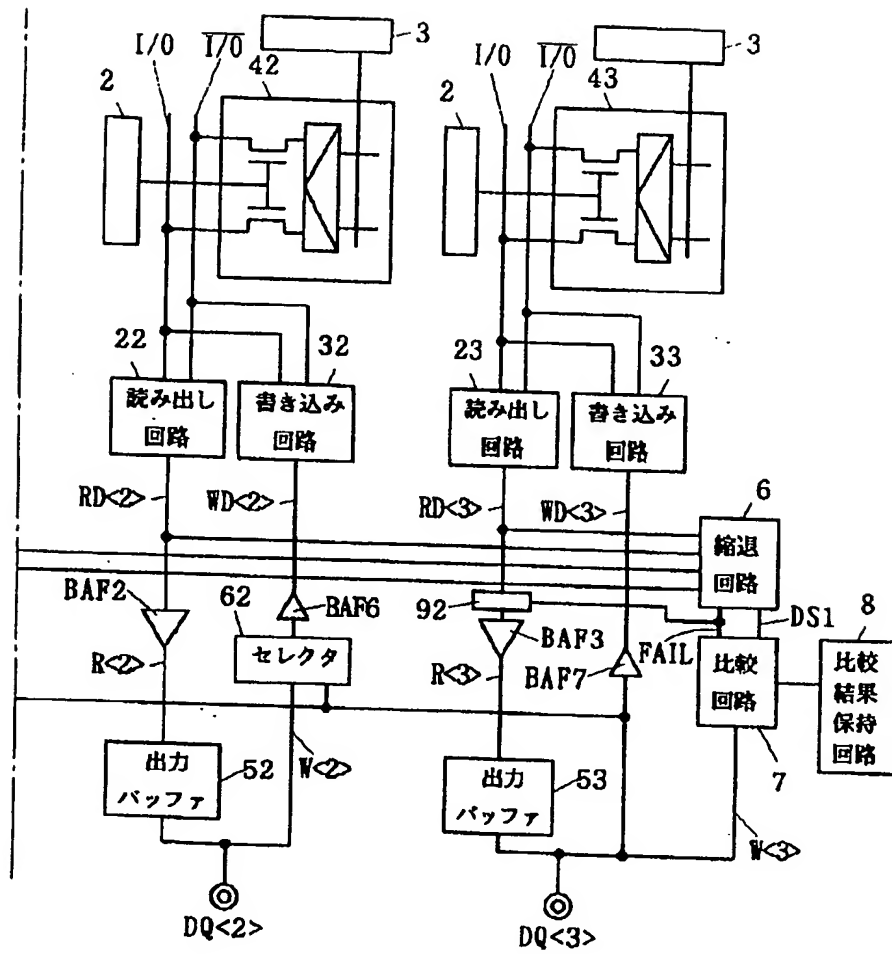
【図24】



【図22】



【図23】



【図30】

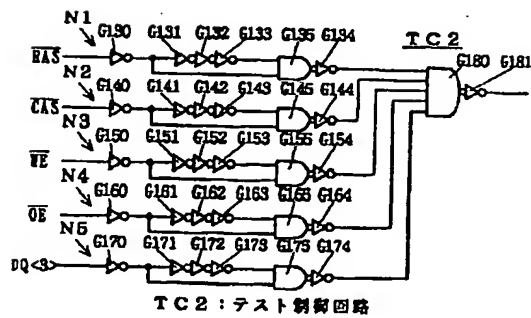


Figure 2 is a detailed logic circuit diagram of a multi-bit bus element (labeled F2). The circuit is divided into several functional blocks:

- Top Block (8):** This block handles address and result signals. It includes inputs /TBSTIN , /DE , and /PASS . It contains logic gates (G102, G103, G104, G101, G100, G98) and transistors (Q79, Q78). It has outputs /TBSTOUT , /GOOD , and READRESULT . A pull-up resistor P2 is connected to READRESULT .
- Central Block (6):** This block handles data bus signals. It has a 4-bit input bus $\text{B}<3>$ and a 4-bit output bus $\text{B}<3>$. It includes logic gates (G93, G91, G92, G94) and a data selector (DS1).
- Block (7):** This block is for failure detection (FAIL). It has an input G96 and an output G95.
- Block (91):** This block handles internal address signals (Int. A<0>). It includes logic gates (G106, G107) and transistors (Q83, Q80, Q81, Q82). It has inputs Vcc and Vss .
- Block (50):** This block handles output signals. It includes logic gates (G86, G88, G90) and transistors (Q87, Q89, Q76, Q77). It has inputs Vcc and Vss .

The circuit also includes a block (B2) with input G106 and output G96, and a block (G95) with input G95 and output G96. The circuit is powered by Vcc and Vss .

The timing diagram illustrates the sequence of events for the 74VHC04 inverter across four clock cycles. The signals shown are:

- EAS**: Enable Address Strobe
- CAS**: Cache Address Strobe
- WE**: Write Enable
- OE**: Output Enable
- DQ**: Data Bus
- Add.**: Address Bus
- /TESTIN**: Test Input
- /TESTOUT**: Test Output
- /PASS**: Pass Signal
- GOOD**: Good Signal
- EPT**: Error Parity Test
- EN**: Enable

The diagram is divided into four clock cycles:

- サイクル 1**: Initial setup, including **IN** on the Add. bus.
- サイクル 2**: **write data** operation on the DQ bus.
- サイクル 3**: **read data** operation on the DQ bus.
- サイクル 4**: **OUT** on the Add. bus.

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.